

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10069326 A

(43) Date of publication of application: 10 . 03 . 98

(51) Int. Cl

G06F 1/10
G06F 13/42
G11C 11/407
G11C 19/00
H03K 5/135
H03L 7/00

(21) Application number: 09100490

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 17 . 04 . 97

(72) Inventor: TODA HARUKI

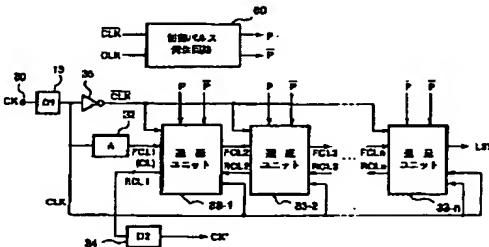
(30) Priority: 23 . 04 . 96 JP 08100976

(54) CLOCK CONTROL CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To accurately synchronize an internal clock with an external clock by a system which transfer data in synchronism with the internal clock.

SOLUTION: The external clock CK passes through a buffer 13 to become the internal clock CLK having skew D1. This internal clock CLK passes through a delay circuit 32 which has a delay quantity A, delay unit arrays 33-1 to 33-n which have a delay quantity A, delay unit arrays 33-1 to 33-n which generate a delay quantity $2 \times \Delta$, and a delay circuit 34 which has a delay quantity D2 to become a corrected internal clock CK', which synchronizes with the external clock CK. Each delay unit has a state holding part and a delay unit through which progressive pulses pass has its state holding part fixed in a specific state. Consequently, the delay quantity $2 \times \Delta$ is accurately generated.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-69326

(43)公開日 平成10年(1998)3月10日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 1/10			G 0 6 F 1/04	3 3 0 A
13/42	3 5 0		13/42	3 5 0 A
G 1 1 C 11/407			G 1 1 C 19/00	K
19/00			H 0 3 K 5/135	
H 0 3 K 5/135			H 0 3 L 7/00	D

審査請求 未請求 請求項の数31 O L (全 38 頁) 最終頁に統く

(21)出願番号 特願平9-100490

(22)出願日 平成9年(1997)4月17日

(31)優先権主張番号 特願平8-100976

(32)優先日 平8(1996)4月23日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 戸田 春希

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

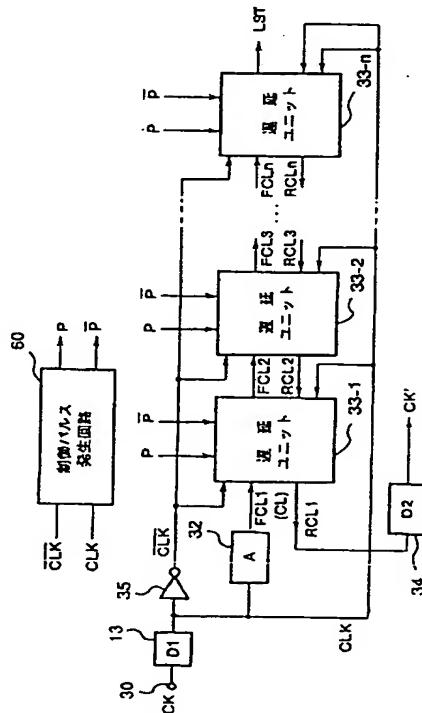
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 クロック制御回路

(57)【要約】

【課題】 内部クロックに同期させてデータ転送を行うシステムにおいて当該内部クロックを外部クロックに正確に同期させる。

【解決手段】 外部クロックCKは、バッファ13を経由し、スキューディ1を有する内部クロックCLKとなる。この内部クロックCLKは、遅延量Aを有する遅延回路32、遅延量 $2 \times \Delta$ を形成する遅延ユニットアレイ33-1～33-n及び遅延量D2を有する遅延回路34を経由することにより、補正内部クロックCKとなり、外部クロックCKに同期する。各遅延ユニットは、状態保持部を有し、前進パルスが経由した遅延ユニットについては、状態保持部が所定の状態に固定される。これにより、正確に遅延量 $2 \times \Delta$ が形成される。



【特許請求の範囲】

【請求項 1】 直列に接続された複数の遅延ユニットから構成され、

各々の遅延ユニットは、前進パルスを一定の遅延量だけ遅らせて後段の遅延ユニットに伝達する前進パルス遅延回路と、後進パルスを前記一定の遅延量だけ遅らせて前段の遅延ユニットに伝達する後進パルス遅延回路と、内部クロックのパルスが前記複数の遅延ユニットに入力されていない場合に前記前進パルスが入力されると第1状態に設定され、前記内部クロックのパルスが前記複数の遅延ユニットに入力されている場合に前記後進パルスが入力されると第2状態に設定される状態保持部とから構成され、

前記前進パルスは、初段の遅延ユニットに入力され、前記後進パルスのフロントエッジは、前記内部クロックのパルスが前記複数の遅延ユニットに入力された時に状態保持部が第2状態の遅延ユニットのうち最も前記初段の遅延ユニットに近い遅延ユニットで形成され、前記後進パルスは、前記初段の遅延ユニットから出力されることを特徴とする遅延アレイ。

【請求項 2】 請求項 1 記載の遅延アレイにおいて、前記後進パルスのフロントエッジ以外のエッジは、前記内部クロックのパルスが前記複数の遅延ユニットに入力されなくなった時に状態保持部が第2状態の遅延ユニットのうち最も前記初段の遅延ユニットに近い遅延ユニットで形成されることを特徴とする遅延アレイ。

【請求項 3】 請求項 1 記載の遅延アレイと、遅延量 D 1 を有し、外部クロックに基づいて内部クロックを発生するバッファと、前記内部クロックのパルスを遅延量 A だけ遅らせて前進パルスとして前記遅延アレイの初段の遅延ユニットに供給する第1遅延回路と、前記初段の遅延ユニットから出力される後進パルスを遅延量 D 2 だけ遅らせて補正内部クロックとして出力する第2遅延回路とから構成され、

前記遅延量 D 1 、前記遅延量 D 2 及び前記遅延量 A は、
 $A = D 1 + D 2$

の関係を有していることを特徴とするクロック制御回路。

【請求項 4】 前記内部クロックのパルスが請求項 1 記載の遅延アレイの複数の遅延ユニットに入力されてから前記前進パルスが前記初段の遅延ユニットに供給されるまでの期間内に、前記複数の遅延ユニットの前進パルス遅延回路を初期化するための制御パルスを発生する制御パルス発生回路を具備することを特徴とする請求項 3 記載のクロック制御回路。

【請求項 5】 前記前進パルスが請求項 1 記載の遅延アレイの最終段の遅延ユニットから出力される場合に、前記初段の遅延ユニットから出力される後進パルスを遮断し、前記後進パルスに代えて前記内部クロックのパルスが前記第2遅延回路から出力されるように制御する手段

を具備することを特徴とする請求項 3 記載のクロック制御回路。

【請求項 6】 前記手段は、前記内部クロックのパルスが前記第2遅延回路から出力された後に、前記初段の遅延ユニットから出力される後進パルスに基づいて前記第2遅延回路を初期化することを特徴とする請求項 5 記載のクロック制御回路。

【請求項 7】 請求項 1 記載の遅延アレイは、前記バッファが配置される位置と前記第2遅延回路が配置される位置の中間に配置され、

前記第1遅延回路のパターンは、前記バッファ及び前記バッファから前記遅延アレイまでの配線のパターンに同様のパターンと、前記第2遅延回路及び前記遅延アレイから前記第2遅延回路までの配線のパターンに同様のパターンとの組み合わせにより構成されるようにレイアウトされることを特徴とする請求項 3 記載のクロック制御回路。

【請求項 8】 メモリセルアレイと、前記メモリセルアレイに対してデータの書き込み又は読み出しを行うための書き込み・読み出し回路と、前記データをバスから入力するための入力回路と、前記データを前記バスへ出力するための出力回路と、請求項 3 記載のクロック制御回路とから構成され、

前記書き込み・読み出し回路の動作は、前記クロック制御回路のバッファから出力される内部クロックにより制御され、前記入力回路又は前記出力回路の動作は、少なくとも前記クロック制御回路の第2遅延回路から出力される補正内部クロックにより制御されることを特徴とするメモリ回路。

【請求項 9】 バスと、前記バスに対してデータの授受を行うと共に外部クロックを発生する制御ブロックと、請求項 8 記載のメモリ回路を有し、前記バスに対してデータの授受を行うと共に前記外部クロックを受け取るメモリブロックとを具備することを特徴とする同期制御システム。

【請求項 10】 直列接続された複数の遅延ユニットから構成され、各々の遅延ユニットは、前進パルス及び後進パルスを一定の遅延量だけ遅延させて非同期に伝達させる遅延回路と、前記前進パルスにより第1状態に設定され、前記後進パルスにより第2状態に設定される状態保持部とを有し、

前記前進パルスは、初段の遅延ユニットに入力され、前記後進パルスのフロントエッジは、内部クロックのパルスが前記複数の遅延ユニットに入力された時に状態保持部が第2状態の遅延ユニットのうち最も前記初段の遅延ユニットに近い遅延ユニットで形成され、前記後進パルスは、前記前進パルスの進行方向とは逆の方向に進み、前記初段の遅延ユニットから出力されることを特徴とする遅延アレイ。

【請求項 11】 直列に接続された複数の第1及び第2

遅延ユニットから構成され、

各々の第1遅延ユニットは、前進パルスを一定の遅延量だけ遅らせて後段の遅延ユニットに伝達する前進パルス遅延回路と、第1後進パルスを前記一定の遅延量だけ遅らせて前段の遅延ユニットに伝達する第1後進パルス遅延回路と、内部クロックのパルスが前記複数の第1遅延ユニットに入力されていない場合に前記前進パルスが入力されると第1状態に設定され、前記内部クロックのパルスが前記複数の第1遅延ユニットに入力されている場合に前記第1後進パルスが入力されると第2状態に設定される状態保持部とから構成され、

各々の第2遅延ユニットは、第2後進パルスを前記一定の遅延量だけ遅らせて前段の遅延ユニットに伝達する第2後進パルス遅延回路から構成され、

前記前進パルスは、初段の第1遅延ユニットに入力され、前記第1後進パルスのフロントエッジは、前記内部クロックのパルスが前記複数の第1遅延ユニットに入力された時に状態保持部が第2状態の第1遅延ユニットのうち最も前記初段の第1遅延ユニットに近い第1遅延ユニットで形成され、前記第1後進パルスは、前記初段の第1遅延ユニットから出力され、

前記第2後進パルスのフロントエッジは、前記第1後進パルスのフロントエッジを形成する第1遅延ユニットに対応する第2遅延ユニットで形成され、前記第2後進パルスは、初段の第2遅延ユニットから出力され、

前記第1後進パルス遅延回路の遅延量と前記第2後進パルス遅延回路の遅延量は、同じであることを特徴とする遅延アレイ。

【請求項12】 請求項11記載の遅延アレイにおいて、

前記第1後進パルスのフロントエッジ以外のエッジは、前記内部クロックのパルスが前記複数の第1遅延ユニットに入力されなくなった時に状態保持部が第2状態の第1遅延ユニットのうち最も前記初段の第1遅延ユニットに近い第1遅延ユニットで形成されることを特徴とする遅延アレイ。

【請求項13】 請求項11記載の遅延アレイにおいて、

前記第1遅延ユニットの数と前記第2遅延ユニットの数は、互いに異なることを特徴とする遅延アレイ。

【請求項14】 請求項11記載の遅延アレイにおいて、

前記第2遅延ユニットの数は、前記第1遅延ユニットの数よりも少ないと特徴とする遅延アレイ。

【請求項15】 請求項11記載の遅延アレイにおいて、

前記複数の第1遅延ユニットのうち連続するj個の第1遅延ユニットにより1つの第1ブロックを構成し、前記複数の第2遅延ユニットのうち連続するk個の第2遅延ユニットにより前記第1ブロックに対応する1つの第2

ブロックを構成し、前記第1ブロックの前記j個の第1遅延ユニットのうちのk個の動作を制御する制御パルスに基づいて、前記第2ブロックのk個の第2遅延ユニットの動作を制御する（但し、j, kは、互いに素な自然数で、かつ、j > kである。）ことを特徴とする遅延アレイ。

【請求項16】 請求項15記載の遅延アレイにおいて、

前記第1遅延ユニットは、r（rは自然数）個のブロックを構成し、前記第1遅延ユニットの総数は、n（= r × j）個であり、前記第2遅延ユニットも、r個のブロックを構成し、前記第2遅延ユニットの総数は、m（= r × j）個であり、前記第1後進パルスの遅延量を△とした場合に、前記第2後進パルスの遅延量は、（m/n）×△であることを特徴とする遅延アレイ。

【請求項17】 請求項11記載の遅延アレイと、遅延量D1を有し、外部クロックに基づいて前記内部クロックを発生するバッファと、前記内部クロックのパルスを遅延量Aだけ遅らせて前記前進パルスとして前記初段の第1遅延ユニットに供給する第1遅延回路と、前記初段の第1遅延ユニットから出力される前記第1後進パルスを遅延量（j-1）×D1 + j × D2だけ遅らせて第1補正内部クロックとして出力する第2遅延回路と、前記初段の第2遅延ユニットから出力される前記第2後進パルスを遅延量（k-1）×D1 + k × D2だけ遅らせて第2補正内部クロックとして出力する第3遅延回路とを具備し（但し、j, kは、互いに素な自然数で、かつ、j > kである。）、

前記遅延量D1、前記遅延量D2及び前記遅延量Aは、

$$A = j \times (D1 + D2)$$

の関係を有していることを特徴とするクロック制御回路。

【請求項18】 請求項11記載の遅延アレイと、遅延量k × D1を有し、外部クロックに基づいて前記内部クロックを発生するバッファと、前記内部クロックのパルスを遅延量Aだけ遅らせて前記前進パルスとして前記初段の第1遅延ユニットに供給する第1遅延回路と、前記初段の第1遅延ユニットから出力される前記第1後進パルスを遅延量（j-k）×D1 + j × D2だけ遅らせて

第1補正内部クロックとして出力する第2遅延回路と、前記初段の第2遅延ユニットから出力される前記第2後進パルスを遅延量k × D2だけ遅らせて第2補正内部クロックとして出力する第3遅延回路とを具備し（但し、j, kは、互いに素な自然数で、かつ、j > kである。）、

前記遅延量D1、前記遅延量D2及び前記遅延量Aは、

$$A = j \times (D1 + D2)$$

の関係を有していることを特徴とするクロック制御回路。

【請求項19】 請求項17又は18記載のクロック制

御回路において、

前記内部クロックのパルスが前記複数の第1遅延ユニットに入力されてから前記前進パルスが前記初段の第1遅延ユニットに供給されるまでの期間内に、前記複数の第1遅延ユニットの前記前進パルス遅延回路を初期化するための制御パルスを発生する制御パルス発生回路をさらに具備することを特徴とするクロック制御回路。

【請求項 20】 請求項 17 又は 18 記載のクロック制御回路において、

前記第1遅延ユニットの数と前記第2遅延ユニットの数は、互いに異なることを特徴とするクロック制御回路。

【請求項 21】 請求項 17 又は 18 記載のクロック制御回路において、

前記第2遅延ユニットの数は、前記第1遅延ユニットの数よりも少ないことを特徴とするクロック制御回路。

【請求項 22】 請求項 17 又は 18 記載のクロック制御回路において、

前記複数の第1遅延ユニットのうち連続する j 個の第1遅延ユニットにより 1 つの第1ブロックを構成し、前記複数の第2遅延ユニットのうち連続する k 個の第2遅延ユニットにより前記第1ブロックに対応する 1 つの第2ブロックを構成し、前記第1ブロックの前記 j 個の第1遅延ユニットのうちの k 個の動作を制御する制御パルスに基づいて、前記第2ブロックの k 個の第2遅延ユニットの動作を制御することを特徴とするクロック制御回路。

【請求項 23】 請求項 22 記載のクロック制御回路において、

前記第1遅延ユニットは、 r (r は自然数) 個のブロックを構成し、前記第1遅延ユニットの総数は、 n ($= r \times j$) 個であり、前記第2遅延ユニットも、 r 個のブロックを構成し、前記第2遅延ユニットの総数は、 m ($= r \times j$) 個であることを特徴とするクロック制御回路。

【請求項 24】 請求項 23 記載のクロック制御回路において、

前記第2後進パルス遅延回路は、前記第1後進パルス遅延回路が生成する遅延量の m/n ($= k/j$) の遅延量を生成することを特徴とするクロック制御回路。

【請求項 25】 請求項 23 記載のクロック制御回路において、

前記 j は、2、前記 k は、1 であり、前記第2遅延ユニットの前記第2後進パルス遅延回路は、前記第1遅延ユニットの前記第1後進パルス遅延回路が生成する遅延量の半分の遅延量を生成することを特徴とするクロック制御回路。

【請求項 26】 請求項 23 記載のクロック制御回路において、

前記 k は、1 であり、前記第2遅延ユニットの前記第2後進パルス遅延回路は、前記第1遅延ユニットの前記第1後進パルス遅延回路が生成する遅延量の $1/j$ の遅延

量を生成することを特徴とするクロック制御回路。

【請求項 27】 複数のメモリと、前記複数のメモリをコントロールするコントローラと、前記コントローラから出力される外部クロックに関して、前記複数のメモリの入力容量と同じ入力容量を有するダミーメモリと、前記コントローラから前記複数のメモリまでの前記外部クロックの遅延時間と前記コントローラから前記ダミーメモリまでの前記外部クロックの遅延時間が等しくなるように配置される第1配線と、前記外部クロックに対して一定の位相関係を有する内部クロックに基づいて前記複数のメモリのうちの 1 つから前記コントローラにデータを導くデータバスと、前記ダミーメモリに与えられる前記外部クロックをリターンクロックとして再び前記コントローラに戻す第2配線とを具備し、

前記複数のメモリのうちの 1 つから前記コントローラまでの前記データの遅延時間と前記ダミーメモリから前記コントローラまでの前記リターンクロックの遅延時間が等しく、かつ、前記コントローラは、前記リターンクロックに基づいて前記データを取り込むことを特徴とするメモリシステム。

【請求項 28】 外部クロックに対し D_1 だけ遅れた内部クロックが入力され、前記内部クロックが入力されてから遅延時間 A が経過した後、前進パルスを出力する第1遅延回路と、前記前進パルスを $2 \times \Delta$ だけ遅延させた後、後進パルスを出力する第2遅延回路と、前記後進パルスが入力され、前記後進パルスが入力されてから遅延時間 $(j-1) \times D_1 + j \times D_2$ が経過した後、前記外部クロックに対して位相が一致している補正内部クロックを出力する第3遅延回路と（但し、 j は、自然数、 Δ は、前記前進パルスが発生した後、最初に前記内部クロックのパルスが発生するまでの時間、 A は、 $j \times (D_1 + D_2)$ である。）を具備することを特徴とするクロック制御回路。

【請求項 29】 外部クロックに対し $m \times D_1$ だけ遅れた内部クロックが入力され、前記内部クロックが入力されてから遅延時間 A が経過した後、前進パルスを出力する第1遅延回路と、前記前進パルスを $2 \times \Delta$ だけ遅延させた後、後進パルスを出力する第2遅延回路と、前記後進パルスが入力され、前記後進パルスが入力されてから

遅延時間 $(j-k) \times D_1 + j \times D_2$ が経過した後、前記外部クロックに対して位相が一致している補正内部クロックを出力する第3遅延回路と（但し、 j, k は、互いに素な自然数、 $j \geq k$ 、 Δ は、前記前進パルスが発生した後、最初に前記内部クロックのパルスが発生するまでの時間、 A は、 $j \times (D_1 + D_2)$ である。）を具備することを特徴とするクロック制御回路。

【請求項 30】 外部クロックに対し D_1 だけ遅れた内部クロックが入力され、前記内部クロックが入力されてから遅延時間 A が経過した後、前進パルスを出力する第1遅延回路と、前記前進パルスを $\Delta + (k/j) \times \Delta$ だ

け遅延させた後、後進パルスを出力する第2遅延回路と、前記後進パルスが入力され、前記後進パルスが入力されてから遅延時間 $(k-1) \times D_1 + k \times D_2$ が経過した後、前記外部クロックに対して位相が $(k/j) \times T$ だけ遅れている補正内部クロックを出力する第3遅延回路と（但し、 j, k は、互いに素な自然数、 $j \geq k$ 、 Δ は、前記前進パルスが発生した後、最初に前記内部クロックのパルスが発生するまでの時間、 A は、 $j \times (D_1 + D_2)$ 、 T は、外部クロックの周期である。）を具備することを特徴とするクロック制御回路。

【請求項3】 外部クロックに対し $k \times D_1$ だけ遅れた内部クロックが入力され、前記内部クロックが入力されてから遅延時間 A が経過した後、前進パルスを出力する第1遅延回路と、前記前進パルスを $\Delta + (k/j) \times \Delta$ だけ遅延させた後、後進パルスを出力する第2遅延回路と、前記後進パルスが入力され、前記後進パルスが入力されてから遅延時間 $k \times D_2$ が経過した後、前記外部クロックに対して位相が $(k/j) \times T$ だけ遅れている補正内部クロックを出力する第3遅延回路と（但し、 j, k は、互いに素な自然数、 $j \geq k$ 、 Δ は、前記前進パルスが発生した後、最初に前記内部クロックのパルスが発生するまでの時間、 A は、 $j \times (D_1 + D_2)$ 、 T は、外部クロックの周期である。）を具備することを特徴とするクロック制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、遅延アレイを用いて、CPUが発生する外部クロックのタイミングとメモリ（IC）の内部で使用される内部クロックのタイミングを制御する制御回路に関する。

【0002】

【従来の技術】 最近のメモリは、クロックに同期させてデータを転送することによって高速なデータ転送を達成するものが増えている。例えば、シンクロナスDRAMなどのクロック同期型のDRAMでは、それぞれ100MHzと250MHzのクロックに同期させ、CPUなどのブロックとの間でデータのやりとりを行っている。

【0003】 このようなクロックに同期させてブロック間でデータのやりとりを行うシステムでは、CPUなどのブロックからメモリに与えられる外部クロックと、当該メモリ内部で生成される内部クロックとの間に僅かなタイミングのズレ、即ちスキーが発生することが問題となる。

【0004】 例えば、100MHzの外部クロックを用いた場合、1サイクルは10nsec（ナノ秒）であるため、外部クロックと内部クロックの間に1nsecのズレが発生すると、このズレは、1サイクルタイムの10%に相当し、高速同期制御の妨げとなる。

【0005】 特に、メモリから他のブロックへデータを転送する場合には、外部クロックと内部クロックのスキー

ューは、直接、メモリのデータ出力時間に影響し、データ転送時間を遅くする。

【0006】 図48は、高速クロックを用いて同期制御するシステムの一例を示すものである。また、図49は、図48のシステムにおける外部クロックと内部クロックの関係を示すものである。

【0007】 メモリ（シンクロナスDRAMなどのクロック同期型DRAM）11には、例えばCPU12により生成される外部クロックCKが入力されている。外部クロックCKは、バッファ13により内部クロックCLKに変換され、内部クロックCLKは、入力回路14、出力回路15や、書き込み・読み出し回路16などに供給され、データの入出力動作を制御する。

【0008】 内部クロックCLKは、外部クロックCKをトリガとしてバッファ13により生成されるため、必然的に外部クロックCKと内部クロックCLKの間にはスキーが存在する。

【0009】 メモリ11内部の動作を制御するのは、内部クロックCLKであるため、メモリ11と他のブロック（CPU12など）との間でデータのやりとりを行う場合には、外部クロックCKと内部クロックCLKの間のスキーを見込んだタイミングの設定が必要となる。

【0010】 しかし、スキーを見込んだタイミング設定は、データの転送速度を遅らせるることは上述のとおりである。

【0011】 そこで、最近では、このスキーをなくすための技術の開発が進められている。以下、現時点における当該技術の二つの例を説明する。

【0012】 一つめは、PLL（フェーズ・ロック・ループ）を用いる技術である。この技術は、PLLにより、スキーの幅を検出し、このスキーをゼロとするものである。また、この技術は、内部クロックにフィードバックをかけるため、メモリに与えられる外部クロックが常に一定の周波数で、かつ、途切れることがない場合に有効である。

【0013】 二つめは、所定の原理に基づいて、外部クロックと一致する補正内部クロックを生成する回路を構成する技術である。この技術は、外部クロックの周波数が変化しても、また、外部クロックが途切れても、これらに即座に対応して外部クロックと内部クロックを一致させることができるもので、非常に有望視されている。

【0014】 そこで、後者の技術について以下に詳細に説明する。

【0015】 まず、図50を参照しながら、この技術の原理について説明する。

【0016】 外部クロックCKと内部クロックCLKのスキーの幅（遅延量）をD1とし、外部クロックCK及び内部クロックCLKの周期をTとする。

【0017】 ここで、内部クロックCLKの1つめのパルスが発生した時点（立ち上がった時点）から時間Aが

経過した時点で遅延模倣パルス F C L を発生させる。この場合、遅延模倣パルス F C L が発生した時点から、内部クロック C L K の 2 つめのパルスが発生する時点までの時間は、 Δ となる。

【0018】また、この時間 Δ をコピーし、遅延模倣パルス F C L を発生させた時点から時間 ($2 \times \Delta$) が経過した時点で遅延模倣パルス R C L が発生するようになる。すると、遅延模倣パルス R C L が発生した時点から時間 A が経過した時点は、内部クロック C L K の 3 つめのパルスが発生する時点と一致することになる。

【0019】但し、 $(A + W) < T$ とする。W は、遅延模倣パルス F C L, R C L の幅である。

【0020】ここで、遅延模倣パルス R C L が発生した時点から外部クロック C K の 3 つめのパルスが発生する時点までの時間を D 2 とすると、遅延模倣パルス R C L を時間 D 2 だけ遅延させてやれば、外部クロック C K のタイミングに一致した補正内部クロック C K' が得られる。

【0021】つまり、遅延量 A, $(2 \times \Delta)$, D 2 を生成する遅延回路を形成し、内部クロック C L K を時間 $A + (2 \times \Delta) + D 2$ だけ遅らせれば、外部クロック C K のタイミングに一致した補正内部クロック C K' が得られることになる。

【0022】なお、図 50 から明らかなように、 $A = D 1 + D 2$ という関係が存在するため、遅延量 D 2 は、A 及び D 1 から求めることができる。

【0023】また、外部クロック C K 及び内部クロック C L K の周期 T は、一定でないことを前提としているため、時間 Δ も、一定の値を有しない。従って、時間 $(2 \times \Delta)$ を生成する遅延回路は、外部クロック C K 及び内部クロック C L K の周期 T に応じて時間 $(2 \times \Delta)$ を正確に生成することができるよう構成されていなければならない。

【0024】このような原理によれば、外部クロック C K 及び内部クロック C L K の周期 T によらず、常に、補正内部クロックの 1 つめのパルスを、外部クロック C K の 3 つめのパルスに一致させることができる。また、外部クロック C K の 3 つめのパルス以降は、外部クロック C K のタイミングと補正内部クロック C L K のタイミングは一致していることになるため、外部クロック C K が途切れるような場合においても、これに即座に対応して外部クロックと内部クロックを一致させることができるようになる。

【0025】次に、上記原理に基づいて外部クロックと内部クロックのタイミングを一致させるための回路構成について検討する。

【0026】図 51 は、当該回路構成の一例を示すものである。

【0027】外部クロック C K は、入力端子 21 を経由して入力バッファ 22 に入力される。内部クロック C L

K は、入力バッファ 22 から出力される。ここで、入力バッファ 22 は、遅延量 D 1 を有しているため、外部クロック C K と内部クロック C L K の間には、遅延量 D 1 分のスキーが発生する。

【0028】内部クロック C L K は、遅延量 A を有する遅延回路 23 を経由して前進遅延アレイ 24 に入力される。前進遅延アレイ 24 は、遅延量 d を有する複数の遅延回路 25-1, 25-2, ~25-n から構成されている。

10 【0029】ミラー制御回路 26 は、遅延回路 25-1, 25-2, ~25-n の数に相当する数の制御素子 27-1, 27-2, ~27-n を有している。ミラー制御回路 26 は、前進遅延アレイ 24 における遅延量 Δf を決定すると共に、後進遅延アレイ 28 における遅延量 Δb を遅延量 Δf に等しくする機能を有する。

【0030】後進遅延アレイ 28 は、前進遅延アレイ 24 と同様に、遅延量 d を有する複数の遅延回路 29-1, 29-2, ~29-n から構成されている。

20 【0031】後進遅延アレイ 28 から出力されるクロックは、遅延量 D 2 を有する遅延回路 30 を経由することにより、外部クロック C K のタイミングと一致したタイミングを有する補正内部クロック C K' となる。

【0032】上記構成の回路では、前進遅延アレイ 24 の構成と後進遅延アレイ 28 の構成同じにし、前進パルスの遅延量 Δf をそのままコピーして後進パルスの遅延量 Δb とし、 2Δ ($\Delta f = \Delta b = \Delta$) を得るようにしている。

30 【0033】しかし、上記構成の回路では、前進パルスが一定のパルス幅を有していることに起因して、前進パルスの遅延量 Δf と後進パルスの遅延量 Δb を完全に一致させることが難しい欠点がある。

【0034】この欠点について説明する。

【0035】図 52 は、図 50 の t の時点 (即ち、遅延量 Δf , Δb を決定する時点) における図 51 の回路状態を示したものである。

【0036】ここで、前進パルスが前進遅延アレイの遅延回路に入力されている状態を活性状態 (斜線で示す) とし、当該前進パルスが前進遅延アレイの遅延回路に入力されていない状態を非活性状態とする。この場合において、例えば、前進パルスが遅延回路 25-k に入力されると、遅延回路 25-k が活性状態になり、他の遅延回路は、非活性状態となる。

【0037】前進パルスが遅延回路 25-k に入力された後に、内部クロック C L K のパルスが発生すると、後進遅延アレイの遅延回路 29-k が活性状態となり、遅延回路 29-k は、後進パルスを発生する。

【0038】即ち、遅延アレイの先頭から k 番目の制御素子 27-k には、前進パルスと内部クロック C L K のパルスが入力されるため、制御素子 27-k は、後進遅延アレイの遅延回路 29-k を活性状態にして、遅延回

路 29-k から後進パルスを発生させる。

【0039】しかし、この場合、前進パルスが入力されている遅延回路 29-k の先頭からの位置と、後進パルスを発生する遅延回路 29-k の先頭からの位置は、同じである。

【0040】従って、遅延量 Δf を決定する前進パルスのフロント F1 と、遅延量 Δb を決定する後進パルスのフロント F2 は、必然的に、遅延回路 1 段分の遅延量（例えば、前進パルスのパルス幅 W 分）だけ相違することになる。つまり、図 51 の構成を有する回路では、遅延量 Δb は、最大で、遅延回路 1 段分の遅延量だけ遅延量 Δf よりも短くなる欠点がある。

【0041】

【発明が解決しようとする課題】このように、従来は、所定の原理に基づいて、外部クロックに一致する補正内部クロックを生成する回路を構成する技術において、所定の遅延量を正確にコピーする回路を構成することができなかつたため、補正内部クロックを外部クロックに完全に一致させることが難しかった。

【0042】本発明は、上記欠点を解決すべくなされたもので、その目的は、所定の原理に基づいて、外部クロックに一致する補正内部クロックを生成する回路を構成する技術において、所定の遅延量を正確にコピーすることができる回路を構成し、補正内部クロックを外部クロックに完全に一致させることである。

【0043】また、本発明の目的は、所定の原理に基づいて、外部クロックに対して一定の位相関係を有する、即ち、外部クロックに対して位相が所定量だけ遅れた補正内部クロックを生成する回路を提供することである。

【0044】

【課題を解決するための手段】上記目的を達成するため、本発明の遅延アレイは、直列に接続された複数の遅延ユニットから構成され、各々の遅延ユニットは、前進パルスを一定の遅延量だけ遅らせて後段の遅延ユニットに伝達する前進パルス遅延回路と、後進パルスを前記一定の遅延量だけ遅らせて前段の遅延ユニットに伝達する後進パルス遅延回路と、内部クロックのパルスが前記複数の遅延ユニットに入力されていない場合に前記前進パルスが入力されるとセット状態に設定され、前記内部クロックのパルスが前記複数の遅延ユニットに入力されていない場合に前記後進パルスが入力されるとリセット状態に設定される状態保持部とから構成され、前記前進パルスは、初段の遅延ユニットに入力され、前記後進パルスのフロントエッジは、前記内部クロックのパルスが前記複数の遅延ユニットに入力された時に状態保持部がリセット状態の遅延ユニットのうち最も前記初段の遅延ユニットに近い遅延ユニットで形成され、前記後進パルスは、前記初段の遅延ユニットから出力される。

【0045】また、前記後進パルスのフロントエッジ以外のエッジは、前記内部クロックのパルスが前記複数の

遅延ユニットに入力されなくなった時に状態保持部がリセット状態の遅延ユニットのうち最も前記初段の遅延ユニットに近い遅延ユニットで形成される。

【0046】本発明のクロック制御回路は、前記遅延アレイと、遅延量 D1 を有し、外部クロックに基づいて内部クロックを発生するバッファと、前記内部クロックのパルスを遅延量 A だけ遅らせて前進パルスとして前記遅延アレイの初段の遅延ユニットに供給する第 1 遅延回路と、前記初段の遅延ユニットから出力される後進パルスを遅延量 D2 だけ遅らせて補正内部クロックとして出力する第 2 遅延回路とから構成され、前記遅延量 D1、前記遅延量 D2 及び前記遅延量 A は、 $A = D1 + D2$ の関係を有している。

【0047】また、本発明のクロック制御回路は、前記内部クロックのパルスが前記遅延アレイの複数の遅延ユニットに入力されてから前記前進パルスが前記初段の遅延ユニットに供給されるまでの期間内に、前記複数の遅延ユニットの前進パルス遅延回路を初期化するための制御パルスを発生する制御パルス発生回路を備えている。

【0048】また、本発明のクロック制御回路は、前記前進パルスが前記遅延アレイの最終段の遅延ユニットから出力される場合に、前記初段の遅延ユニットから出力される後進パルスを遮断し、前記後進パルスに代えて前記内部クロックのパルスが前記第 2 遅延回路から出力されるように制御する手段を備えている。

【0049】前記手段は、前記内部クロックのパルスが前記第 2 遅延回路から出力された後に、前記初段の遅延ユニットから出力される後進パルスに基づいて前記第 2 遅延回路を初期化する。

【0050】前記遅延アレイは、前記バッファが配置される位置と前記第 2 遅延回路が配置される位置の中間に配置される。前記第 1 遅延回路のパターンは、前記バッファ及び前記バッファから前記遅延アレイまでの配線のパターンに同様のパターンと、前記第 2 遅延回路及び前記遅延アレイから前記第 2 遅延回路までの配線のパターンに同様のパターンとの組み合わせにより構成されるようにレイアウトされる。

【0051】本発明のメモリ回路は、メモリセルアレイと、前記メモリセルアレイに対してデータの書き込み又は読み出しを行うための書き込み・読み出し回路と、前記データをバスから入力するための入力回路と、前記データを前記バスへ出力するための出力回路と、前記クロック制御回路とから構成され、前記書き込み・読み出し回路の動作は、前記クロック制御回路のバッファから出力される内部クロックにより制御され、前記入力回路又は前記出力回路の動作は、少なくとも前記クロック制御回路の第 2 遅延回路から出力される補正内部クロックにより制御される。

【0052】本発明のクロック制御システムは、バスと、前記バスに対してデータの授受を行うと共に外部ク

ロックを発生する制御ブロックと、前記メモリ回路を有し、前記バスに対してデータの授受を行うと共に前記外部クロックを受け取るメモリブロックとを備えている。

【0053】本発明の遅延アレイは、直列に接続された複数の第1及び第2遅延ユニットから構成される。各々の第1遅延ユニットは、前進パルスを一定の遅延量だけ遅らせて後段の遅延ユニットに伝達する前進パルス遅延回路と、第1後進パルスを前記一定の遅延量だけ遅らせて前段の遅延ユニットに伝達する第1後進パルス遅延回路と、内部クロックのパルスが前記複数の第1遅延ユニットに入力されていない場合に前記前進パルスが入力されると第1状態に設定され、前記内部クロックのパルスが前記複数の第1遅延ユニットに入力されている場合に前記第1後進パルスが入力されると第2状態に設定される状態保持部とから構成される。各々の第2遅延ユニットは、第2後進パルスを前記一定の遅延量だけ遅らせて前段の遅延ユニットに伝達する第2後進パルス遅延回路から構成される。前記前進パルスは、初段の第1遅延ユニットに入力され、前記第1後進パルスのフロントエッジは、前記内部クロックのパルスが前記複数の第1遅延ユニットに入力された時に状態保持部が第2状態の第1遅延ユニットのうち最も前記初段の第1遅延ユニットに近い第1遅延ユニットで形成され、前記第1後進パルスは、前記初段の第1遅延ユニットから出力される。前記第2後進パルスのフロントエッジは、前記第1後進パルスのフロントエッジを形成する第1遅延ユニットに対応する第2遅延ユニットで形成され、前記第2後進パルスは、初段の第2遅延ユニットから出力される。前記第1後進パルス遅延回路の遅延量と前記第2後進パルス遅延回路の遅延量は、同じである。

【0054】前記第1後進パルスのフロントエッジ以外のエッジは、前記内部クロックのパルスが前記複数の第1遅延ユニットに入力されなくなった時に状態保持部が第2状態の第1遅延ユニットのうち最も前記初段の第1遅延ユニットに近い第1遅延ユニットで形成される。

【0055】前記第1遅延ユニットの数と前記第2遅延ユニットの数は、互いに異なる。前記第2遅延ユニットの数は、前記第1遅延ユニットの数よりも少ない方が効果的である。

【0056】前記複数の第1遅延ユニットのうち連続するj個の第1遅延ユニットにより1つの第1ブロックを構成し、前記複数の第2遅延ユニットのうち連続するk個の第2遅延ユニットにより前記第1ブロックに対応する1つの第2ブロックを構成し、前記第1ブロックの前記j個の第1遅延ユニットのうちのk個の動作を制御する制御パルスに基づいて、前記第2ブロックのk個の第2遅延ユニットの動作を制御する。但し、j、kは、互いに素な自然数で、かつ、 $j > k$ である。

【0057】前記第1遅延ユニットは、r(rは自然数)個のブロックを構成し、前記第1遅延ユニットの総

数は、n (= r × j) 個であり、前記第2遅延ユニットも、r個のブロックを構成し、前記第2遅延ユニットの総数は、m (= r × j) 個であり、前記第1後進パルスの遅延量を△とした場合に、前記第2後進パルスの遅延量は、 $(m/n) × \Delta$ である。

【0058】本発明のクロック制御回路は、上述の遅延アレイと、遅延量D1を有し、外部クロックに基づいて前記内部クロックを発生するバッファと、前記内部クロックのパルスを遅延量Aだけ遅らせて前記前進パルスとして前記初段の第1遅延ユニットに供給する第1遅延回路と、前記初段の第1遅延ユニットから出力される前記第1後進パルスを遅延量 $(j-1) × D1 + j × D2$ だけ遅らせて第1補正内部クロックとして出力する第2遅延回路と、前記初段の第2遅延ユニットから出力される前記第2後進パルスを遅延量 $(k-1) × D1 + k × D2$ だけ遅らせて第2補正内部クロックとして出力する第3遅延回路とを備える。但し、j、kは、互いに素な自然数で、かつ、 $j > k$ である。

【0059】前記遅延量D1、前記遅延量D2及び前記遅延量Aは、 $A = j × (D1 + D2)$ の関係を有している。

【0060】本発明のクロック制御回路は、上述の遅延アレイと、遅延量 $k × D1$ を有し、外部クロックに基づいて前記内部クロックを発生するバッファと、前記内部クロックのパルスを遅延量Aだけ遅らせて前記前進パルスとして前記初段の第1遅延ユニットに供給する第1遅延回路と、前記初段の第1遅延ユニットから出力される前記第1後進パルスを遅延量 $(j-k) × D1 + j × D2$ だけ遅らせて第1補正内部クロックとして出力する第2遅延回路と、前記初段の第2遅延ユニットから出力される前記第2後進パルスを遅延量 $k × D2$ だけ遅らせて第2補正内部クロックとして出力する第3遅延回路とを備える。但し、j、kは、互いに素な自然数で、かつ、 $j > k$ である。

【0061】前記遅延量D1、前記遅延量D2及び前記遅延量Aは、 $A = j × (D1 + D2)$ の関係を有している。

【0062】本発明のクロック制御回路は、前記内部クロックのパルスが前記複数の第1遅延ユニットに入力されてから前記前進パルスが前記初段の第1遅延ユニットに供給されるまでの期間内に、前記複数の第1遅延ユニットの前記前進パルス遅延回路を初期化するための制御パルスを発生する制御パルス発生回路をさらに備える。

【0063】前記第1遅延ユニットの数と前記第2遅延ユニットの数は、互いに異なる。前記第2遅延ユニットの数は、前記第1遅延ユニットの数よりも少ない方が効果的である。

【0064】前記複数の第1遅延ユニットのうち連続するj個の第1遅延ユニットにより1つの第1ブロックを構成し、前記複数の第2遅延ユニットのうち連続するk

個の第2遅延ユニットにより前記第1ブロックに対応する1つの第2ブロックを構成し、前記第1ブロックの前記j個の第1遅延ユニットのうちのk個の動作を制御する制御パルスに基づいて、前記第2ブロックのk個の第2遅延ユニットの動作を制御する。

【0065】前記第1遅延ユニットは、r(rは自然数)個のブロックを構成し、前記第1遅延ユニットの総数は、n(=r×j)個であり、前記第2遅延ユニットも、r個のブロックを構成し、前記第2遅延ユニットの総数は、m(=r×j)個である。

【0066】前記第2後進パルス遅延回路は、前記第1後進パルス遅延回路が生成する遅延量のm/n(=k/j)の遅延量を生成する。

【0067】前記jは、2、前記kは、1であり、前記第2遅延ユニットの前記第2後進パルス遅延回路は、前記第1遅延ユニットの前記第1後進パルス遅延回路が生成する遅延量の半分の遅延量を生成する。

【0068】前記kは、1であり、前記第2遅延ユニットの前記第2後進パルス遅延回路は、前記第1遅延ユニットの前記第1後進パルス遅延回路が生成する遅延量の1/jの遅延量を生成する。

【0069】本発明のメモリシステムは、複数のメモリと、前記複数のメモリをコントロールするコントローラと、前記コントローラから出力される外部クロックに関して、前記複数のメモリの入力容量と同じ入力容量を有するダミーメモリと、前記コントローラから前記複数のメモリまでの前記外部クロックの遅延時間と前記コントローラから前記ダミーメモリまでの前記外部クロックの遅延時間が等しくなるように配置される第1配線と、前記外部クロックに対して一定の位相関係を有する内部クロックに基づいて前記複数のメモリのうちの1つから前記コントローラにデータを導くデータバスと、前記ダミーメモリに与えられる前記外部クロックをリターンクロックとして再び前記コントローラに戻す第2配線とを備える。

【0070】また、前記複数のメモリのうちの1つから前記コントローラまでの前記データの遅延時間と前記ダミーメモリから前記コントローラまでの前記リターンクロックの遅延時間が等しく、かつ、前記コントローラは、前記リターンクロックに基づいて前記データを取り込む。

【0071】本発明のクロック制御回路は、外部クロックに対しD1だけ遅れた内部クロックが入力され、前記内部クロックが入力されてから遅延時間Aが経過した後、前進パルスを出力する第1遅延回路と、前記前進パルスを2×△だけ遅延させた後、後進パルスを出力する第2遅延回路と、前記後進パルスが入力され、前記後進パルスが入力されてから遅延時間(j-1)×D1+j×D2が経過した後、前記外部クロックに対して位相が一致している補正内部クロックを出力する第3遅延回路

とを備える。但し、jは、自然数、△は、前記前進パルスが発生した後、最初に前記内部クロックのパルスが発生するまでの時間、Aは、j×(D1+D2)である。

【0072】本発明のクロック制御回路は、外部クロックに対しm×D1だけ遅れた内部クロックが入力され、前記内部クロックが入力されてから遅延時間Aが経過した後、前進パルスを出力する第1遅延回路と、前記前進パルスを2×△だけ遅延させた後、後進パルスを出力する第2遅延回路と、前記後進パルスが入力され、前記後進パルスが入力されてから遅延時間(j-k)×D1+j×D2が経過した後、前記外部クロックに対して位相が一致している補正内部クロックを出力する第3遅延回路とを備える。但し、j、kは、互いに素な自然数、j≥k、△は、前記前進パルスが発生した後、最初に前記内部クロックのパルスが発生するまでの時間、Aは、j×(D1+D2)である。

【0073】本発明のクロック制御回路は、外部クロックに対しD1だけ遅れた内部クロックが入力され、前記内部クロックが入力されてから遅延時間Aが経過した後、前進パルスを出力する第1遅延回路と、前記前進パルスを△+(k/j)×△だけ遅延させた後、後進パルスを出力する第2遅延回路と、前記後進パルスが入力され、前記後進パルスが入力されてから遅延時間(k-1)×D1+k×D2が経過した後、前記外部クロックに対して位相が(k/j)×Tだけ遅れている補正内部クロックを出力する第3遅延回路とを備える。但し、j、kは、互いに素な自然数、j≥k、△は、前記前進パルスが発生した後、最初に前記内部クロックのパルスが発生するまでの時間、Aは、j×(D1+D2)、Tは、外部クロックの周期である。

【0074】本発明のクロック制御回路は、外部クロックに対しk×D1だけ遅れた内部クロックが入力され、前記内部クロックが入力されてから遅延時間Aが経過した後、前進パルスを出力する第1遅延回路と、前記前進パルスを△+(k/j)×△だけ遅延させた後、後進パルスを出力する第2遅延回路と、前記後進パルスが入力され、前記後進パルスが入力されてから遅延時間k×D2が経過した後、前記外部クロックに対して位相が(k/j)×Tだけ遅れている補正内部クロックを出力する第3遅延回路とを備える。但し、j、kは、互いに素な自然数、j≥k、△は、前記前進パルスが発生した後、最初に前記内部クロックのパルスが発生するまでの時間、Aは、j×(D1+D2)、Tは、外部クロックの周期である。

【0075】

【発明の実施の形態】以下、図面を参照しながら、本発明のクロック制御回路について詳細に説明する。

【0076】図1は、本発明のクロック制御回路を有するメモリブロックを備える同期制御システムの一例を示すものである。

【0077】メモリ(シンクロナスDRAMなどのクロック同期型DRAM)11には、例えばCPU12により生成される外部クロックCKが入力されている。外部クロックCKは、バッファ13により内部クロックCLKに変換される。内部クロックCLKは、書き込み・読み出し回路16に供給され、データの書き込み・読み出し動作を制御する。

【0078】内部クロックCLKは、外部クロックCKをトリガとしてバッファ13により生成されるため、必然的に外部クロックCKと内部クロックCLKの間にはスキーが存在する。

【0079】クロック制御回路31は、内部クロックCLKに基づいて、外部クロックのタイミングに一致した補正内部クロックCK'を生成する。補正内部クロックCK'は、入力回路14及び出力回路15に供給され、データの入出力動作を制御する。

【0080】図2は、図1のメモリ11内のクロック制御回路31の構成を示すものである。

【0081】外部クロックCKは、メモリの入力端子30に与えられる。外部クロックCKは、遅延量D1を有する入力バッファ13に入力される。入力バッファ13は、外部クロックCKに対してD1のスキーを有する内部クロックCLKを出力する。内部クロックCLKは、遅延量Aを有する遅延回路32に入力され、遅延回路32は、前進パルスFCL1(遅延模倣パルスCL)を出力する。

【0082】内部クロックCLK、及び内部クロックCLKをインバータ35により反転した反転内部クロック/CLKは、それぞれn個の遅延ユニット33-1, 33-2, ..., 33-nに入力される。

【0083】n個の遅延ユニット33-1, 33-2, ..., 33-nは、互いに直列に接続されている。初段の遅延ユニット33-1には、前進パルスFCL1が入力され、また、初段の遅延ユニット33-1からは、後進パルスRCL1が出力される。

【0084】後進パルスRCL1は、遅延量D2を有する遅延回路34を経由することにより、補正内部クロックCK'となる。

【0085】図3は、図2の遅延ユニットの構成を詳細に示すものである。

【0086】遅延ユニット33-iは、前進パルス遅延回路、状態保持回路及び後進パルス遅延回路の3つの部分から構成される。

【0087】前進パルス遅延回路は、3つのインバータ41～43から構成されている。インバータ41, 42は、直列接続され、インバータ41には、前段の遅延ユニットの出力信号FCLiが入力され、インバータ42は、後段の遅延ユニットに出力信号FCLi+1を出力する。インバータ(クロックドインバータ)41の動作は、制御パルス/Pにより制御され、例えば、制御パル

ス/Pが“1”的とき、インバータ41は、活性状態となる。

【0088】また、インバータ43の出力端は、インバータ42の入力端に接続され、インバータ43の入力端には、常に“0”的電位(例えば、接地電位)が印加されている。インバータ(クロックドインバータ)43の動作は、制御パルスPにより制御され、例えば、制御パルスPが“1”的とき、インバータ43は、活性状態となる。

10 【0089】後進パルス遅延回路は、3つのインバータ44～46から構成されている。インバータ44, 45は、直列接続され、インバータ44には、後段の遅延ユニットの出力信号RCLi+1又は内部クロックCLKが入力され、インバータ45は、前段の遅延ユニットに出力信号RCLiを出力する。インバータ(クロックドインバータ)44の動作は、制御パルスQにより制御され、例えば、制御パルスQが“1”的ときのみ、インバータ44は、活性状態となる。

20 【0090】また、インバータ46の出力端は、インバータ45の入力端に接続され、インバータ46の入力端には、常に、内部クロックCLKが入力されている。インバータ(クロックドインバータ)46の動作は、制御パルス/Qにより制御され、例えば、制御パルス/Qが“1”的とき、インバータ46は、活性状態となる。

【0091】状態保持回路は、状態保持部47及びNAND回路48, 49から構成されている。NAND回路48には、前段の遅延ユニットの出力信号FCLi及び反転内部クロック/CLKが入力され、NAND回路49には、インバータ45の出力信号及び内部クロックCLKが入力される。

30 【0092】NAND回路48の出力信号は、状態保持部47のセット入力/Sとなり、NAND回路49の出力信号は、状態保持部47のリセット入力/Rとなっている。従って、NAND回路48の出力信号(セット入力)/Sが“0”となったとき、状態保持部47はセット状態となり、NAND回路49の出力信号(リセット入力)/Rが“0”となったとき、状態保持部47はリセット状態となる。

40 【0093】状態保持部47は、制御パルスQ, /Qを出力するようにも構成されている。制御パルスQは、状態保持部47がセット状態のときに“1”となり、制御パルス/Qは、状態保持部47がリセット状態のときに“1”となる。

【0094】図4は、図3の状態保持部の構成の一例を示すものである。

【0095】Pチャネル型MOSトランジスタ51及びNチャネル型MOSトランジスタ53, 54は、互いに直列に接続され、その両端には、高電位VDD及び低電位VSSがそれぞれ印加されている。

50 【0096】同様に、Pチャネル型MOSトランジスタ

52及びNチャネル型MOSトランジスタ55, 56は、互いに直列に接続され、その両端には、高電位VDD及び低電位VSSがそれぞれ印加されている。

【0097】セット入力/Sは、MOSトランジスタ51, 54のゲートに入力され、リセット入力/Rは、MOSトランジスタ52, 56のゲートに入力されている。

【0098】MOSトランジスタ53のゲートは、MOSトランジスタ52のドレインに接続され、MOSトランジスタ55のゲートは、MOSトランジスタ51のドレインに接続されている。

【0099】制御パルスQは、MOSトランジスタ51のドレインから出力され、制御パルス/Qは、MOSトランジスタ52のドレインから出力される。

【0100】図5は、制御パルスP, /Pの発生回路の構成の一例を示すものである。

【0101】内部クロックCLKは、遅延量A'を有する遅延回路57を経由してNOR回路58の一方の入力端に入力され、反転内部クロック/CLKは、NOR回路58の他方の入力端に入力される。NOR回路58は、制御パルスPを出力する。また、制御パルスPは、インバータ59を経由することにより制御パルス/Pとなる。

【0102】制御パルスP, /Pのパルス幅は、遅延回路57の遅延量A'により決定される。但し、この遅延量A'は、遅延模倣パルスを出力する遅延回路32の遅延量Aよりも小さく設定される。これは、前進パルスが初段の遅延ユニットに入力される前に、全ての遅延ユニットの前進遅延回路を初期化しておく必要があるからである。

【0103】次に、図6を参照しながら、本発明の原理について確認しておく。

【0104】外部クロックCKと内部クロックCLKのスキーの幅(遅延量)をD1とし、外部クロックCK及び内部クロックCLKの周期をTとする。

【0105】内部クロックCLKの1つめのパルスが発生した時点(立ち上がった時点)から時間Aが経過した時点で遅延模倣パルスFCL1を発生させる。この場合、遅延模倣パルスFCL1が発生した時点から、内部クロックCLKの2つめのパルスが発生する時点までの時間は、 Δf となる。

【0106】また、この時間 Δf をコピーして Δb を作り、遅延模倣パルスFCL1を発生させた時点から時間 $2 \times \Delta$ (但し、 $\Delta f = \Delta b = \Delta$)が経過した時点で遅延模倣パルスRCL1が発生するようにする。すると、遅延模倣パルスRCL1が発生した時点から時間Aが経過した時点は、内部クロックCLKの3つめのパルスが発生する時点と一致することになる。但し、 $(A + W) < T$ とする。Wは、遅延模倣パルスFCL, RCLの幅である。

【0107】遅延模倣パルスRCL1が発生した時点から外部クロックCKの3つめのパルスが発生する時点までの時間をD2とすると、遅延模倣パルスRCL1を時間D2だけ遅延させてやれば、外部クロックCKのタイミングに一致した補正内部クロックCK'が得られる。

【0108】つまり、遅延量A, $(2 \times \Delta)$, D2を生成する遅延回路を形成し、内部クロックCLKを時間A+ $(2 \times \Delta)$ +D2だけ遅らせれば、外部クロックCKのタイミングに一致した補正内部クロックCK'が得されることになる。

【0109】なお、 $A = D1 + D2$ という関係が存在するため、遅延量D2は、A及びD1から求めることができる。また、制御パルスPは、前進パルスが初段の遅延ユニットに入力される前に、全ての遅延ユニットの前進遅延回路を初期化しておくためのものである。

【0110】次に、図2乃至図5のクロック制御回路の動作について説明する。

【0111】1. 図7のタイミングチャートのa時点の状態

図8に示すように、内部クロックCLKが“1”となる(立ち上がる)。従って、制御パルス発生回路60の出力信号は、P=“1”, /P=“0”となり、遅延量A'により決定されるパルス幅を有する制御パルスP, /Pが生成され、各遅延ユニット33-1, 33-2, ~33-nに入力される。

【0112】各遅延ユニット33-1, 33-2, ~33-nにおいては、P=“1”, /P=“0”となるため、インバータ43が活性状態となり、インバータ41が非活性状態となる。従って、全ての遅延ユニット33-1, 33-2, ~33-nの前進パルス遅延回路の入出力信号FCL1~FCLnは、全て“0”となり、前進パルスの伝達するラインが初期化される。

【0113】この後、各遅延ユニット33-1, 33-2, ~33-nでは、P=“0”, /P=“1”になると、インバータ41が活性状態となり、インバータ43が非活性状態となる。即ち、各遅延ユニット33-1, 33-2, ~33-nの前進パルス遅延回路が互いに電気的に接続されると共に、遅延ユニット33-1の前進パルス遅延回路の入力端が遅延回路32に電気的に接続され、前進パルスの伝達の準備が完了する。

【0114】なお、制御パルスP, /Pのパルス幅(Pが“1”, /Pが“0”的期間)は、遅延回路32の遅延量Aにより決定される期間よりも短いことが必須の条件である。前進パルス(遅延模倣パルス)FCL1が遅延ユニット33-1に入力される前に、全ての遅延ユニット33-1, 33-2, ~33-nの前進パルスの伝達ラインを初期化しておく必要があるからである。

【0115】2. 図7のタイミングチャートのb時点の状態

図9に示すように、内部クロックCLKが“0”とな

り、反転内部クロック/CLKが“1”となる。内部クロックCLK及び反転内部クロック/CLKは、全ての遅延ユニット33-1, 33-2, ~33-nに共通となっているため、全ての遅延ユニット33-1, 33-2, ~33-nのNAND回路48の一方の入力が“1”となる。

【0116】一方、各遅延ユニット33-1, 33-2, ~33-nの状態保持部47は、リセット状態Rになっており、状態保持部47から出力される制御パルスは、Q=“0”, /Q=“1”になっている。

【0117】従って、各遅延ユニット33-1, 33-2, ~33-nのインバータ46が活性状態となり、インバータ44が非活性状態となり、全ての遅延ユニット33-1, 33-2, ~33-nの後進パルス遅延回路の入出力信号RCL1~RCLnは、全て“0”となる。

【0118】3. 図7のタイミングチャートのc時点の状態

図10に示すように、遅延回路(遅延量A)32から前進パルス(遅延模倣パルス)FCL1が出力され、遅延ユニット33-1に入力される。なお、前進パルスのパルス幅(“1”的期間)と遅延量Aにより決定される期間を足したもののは、内部クロックCLKの周期Tよりも短くなるように設定することが必要である。

【0119】前進パルスFCL1(=“1”)が遅延ユニット33-1に入力されると、遅延ユニット33-1のNAND回路48の他方の入力が“1”となり、NAND回路48の出力(セット入力/S)は、“0”となる。従って、状態保持部47の状態は、セット状態Sに変化する。

【0120】状態保持部47がセット状態Sになった遅延ユニット33-1では、状態保持部47から出力される制御パルスは、Q=“1”, /Q=“0”になるため、インバータ44が活性状態になり、インバータ46が非活性状態になる。

【0121】4. 図7のタイミングチャートのd, e時点の状態

図11に示すように、前進パルスは、遅延ユニット33-1, 33-2, ~33-nを順次経由しながら進んでいく。

【0122】前進パルスが通り過ぎた遅延ユニット33-1では、NAND回路48の他方の入力は再び“0”となり、NAND回路48の出力(セット入力/S)は“1”となるが、状態保持部47の状態は、セット状態Sに維持される。

【0123】同様に、前進パルスが遅延ユニット33-2に入力されると、遅延ユニット33-2の状態保持部47は、セット状態Sに変わる。前進パルスが遅延ユニット33-2を通り過ぎても、遅延ユニット33-2の状態保持部47は、セット状態Sを維持する。

【0124】内部クロックCLKが再び“1”になり、反転内部クロック/CLKが“0”になると、各遅延ユニット33-1, 33-2, ~33-nには、この内部クロックCLKと反転内部クロック/CLKが入力される。

【0125】従って、全ての遅延ユニット33-1, 33-2, ~33-nのNAND回路48の一方の入力は“0”になると共に、NAND回路49の一方の入力は“1”になる。

10 【0126】また、状態保持部47がセット状態Sの遅延ユニット33-1, 33-2では、Q=“1”であり、インバータ44が活性状態であるため、後進パルス遅延回路の出力信号RCL1, RCL2は、“0”的状態を維持するが、状態保持部47がリセット状態Rの遅延ユニット33-3~33-nでは、/Q=“1”であり、インバータ46が活性状態であるため、後進パルス遅延回路の出力信号RCL3~RCLnは、“1”となる。

【0127】これにより、後進パルスのフロントエッジF2が形成される。

20 【0128】ここで、後進パルスのフロントエッジF2は、内部クロックCLKが“1”となったときに、状態保持部がリセット状態Rの遅延ユニット33-3~33-nのうち最も初段の遅延ユニット33-1側に位置する遅延ユニット33-3で形成される。

【0129】この時、前進パルスのフロントエッジF1は、遅延ユニット33-3の直前に位置していると考えられるため、前進パルスのフロントエッジF1と後進パルスのフロントエッジF2は一致する。

30 【0130】従って、前進パルス(遅延模倣パルス)FCL1が発生した時点から内部クロックCLKのパルスが発生するまでの時間 Δf と、当該内部クロックCLKのパルスが発生してから(後進パルスが発生してから)後進パルスRCL1が出力され、遅延回路34に入力されるまでの時間 Δb は、等しくなる。

【0131】この後、図12に示すように、制御パルス発生回路60の出力信号は、P=“1”, /P=“0”となり、遅延量Aにより決定されるパルス幅を有する制御パルスP, /Pが生成され、各遅延ユニット33-1, 33-2, ~33-nに入力される。

【0132】各遅延ユニット33-1, 33-2, ~33-nにおいては、P=“1”, /P=“0”となるため、インバータ43が活性状態となり、インバータ41が非活性状態となる。従って、全ての遅延ユニット33-1, 33-2, ~33-nの前進パルス遅延回路の入出力信号FCL1~FCLnは、全て“0”となり、前進パルスが消滅し、前進パルスの伝達するラインが初期化される。

【0133】一方、後進パルス(=“1”)のフロントが遅延ユニット33-1に入力されると、遅延ユニット

33-2では、NAND回路49の2つの入力が共に“1”になるため、NAND回路49の出力（リセット入力/R）が“0”となり、状態保持部47は、リセット状態Rに変化する（初期化される）。

【0134】各遅延ユニットの状態保持部47の初期化（リセット状態Rにすること）は、内部クロックCLKが“1”的期間のみで行われる。即ち、内部クロックCLKが“1”的とき、後進パルス（=“1”）が入力されると、NAND回路49の2つの入力が共に“1”となるからである。

【0135】なお、各遅延ユニットの状態保持部47の初期化は内部クロックCLKが“1”的期間のみで行われるため、全ての遅延ユニットの状態保持部47を初期化、即ちリセット状態Rにすることができない場合もあるが、特に問題はない。これは、初期化されない遅延ユニット33-1には、次の前進パルスが通り過ぎることが明らかだからである。

【0136】5. 図7のタイミングチャートのf時点の状態

図13に示すように、内部クロックCLKが“0”となり、反転内部クロック/CLKが“1”となる。この内部クロックCLKと反転内部クロック/CLKは、全ての遅延ユニット33-1, 33-2, ~33-nに入力される。

【0137】また、各遅延ユニット33-1, 33-2, ~33-nでは、P=“0”, /P=“1”になるため、インバータ41が活性状態となり、インバータ43が非活性状態となる。即ち、各遅延ユニット33-1, 33-2, ~33-nの前進パルス遅延回路が互いに電気的に接続されると共に、遅延ユニット33-1の前進パルス遅延回路の入力端が遅延回路32に電気的に接続され、前進パルスの伝達の準備が完了する。

【0138】一方、状態保持部47がリセット状態Rの遅延ユニット33-2~33-nでは、/Q=“1”であり、インバータ46が活性状態である。このため、内部クロックCLKが“0”になると、状態保持部47がリセット状態Rの遅延ユニット33-2~33-nの出力信号RCL2~RCLnが“0”となり、後進パルスのパックエッジが形成される。

【0139】従って、後進パルスのパルス幅は、遅延ユニット1段分の遅延量（インバータ2段分の遅延量）に相当する期間と同じか、又はそれよりも短くなる。

【0140】もし、後進パルスのパルス幅を遅延ユニット1段分の遅延量よりも長くしたい場合には、図17に示すように、遅延回路33-nのNAND回路49の他方の入力を、前段の遅延回路33-(n-1)の出力RCLn-1とすればよい。この場合、後進パルスの最大のパルス幅は、遅延ユニット2段分の遅延量（インバータ4段分の遅延量）に相当する期間となる。

【0141】なお、状態保持部47がセット状態Sの遅

40

30

50

延ユニット33-1では、Q=“1”であり、インバータ44が活性状態である。従って、後進パルスを遅延ユニット33-1経由で遅延回路34に導くための準備が完了する。

【0142】6. 図7のタイミングチャートのg時点の状態

図14に示すように、遅延回路（遅延量A）32から前進パルス（遅延模倣パルス）FCL1が出力され、遅延ユニット33-1に入力される。前進パルスFCL1

（=“1”）が遅延ユニット33-1に入力されると、遅延ユニット33-1のNAND回路48の他方の入力が“1”となり、NAND回路48の出力（セット入力/S）は、“0”となる。

【0143】従って、遅延ユニット33-1の状態保持部47がセット状態のときは、状態保持部47は、セット状態Sを維持し、当該状態保持部47がリセット状態Rのときは、状態保持部47は、セット状態Sに変化する。

【0144】状態保持部47がセット状態Sになった遅延ユニット33-1では、状態保持部47から出力される制御パルスは、Q=“1”, /Q=“0”になるため、インバータ44が活性状態になり、インバータ46が非活性状態になる。

【0145】一方で、後進パルスは、初段の遅延ユニット33-1に入力され、インバータ2段分の遅延を受けて、初段の遅延ユニット33-1から出力される。

【0146】7. 図7のタイミングチャートのh時点の状態

図15に示すように、前進パルスは、遅延ユニット33-1, 33-2, ~33-nを順次経由しながら進んでいく。

【0147】前進パルスが通り過ぎた遅延ユニット33-1では、NAND回路48の他方の入力は再び“0”となり、NAND回路48の出力（セット入力/S）は“1”となるが、状態保持部47の状態は、セット状態Sに維持される。

【0148】同様に、前進パルスが遅延ユニット33-2に入力されると、遅延ユニット33-2の状態保持部47は、セット状態Sに変わる。前進パルスが遅延ユニット33-2を通り過ぎても、遅延ユニット33-2の状態保持部47は、セット状態Sを維持する。

【0149】一方、後進パルスは、遅延回路34入力される。遅延回路34は、後進パルスを遅延量D2だけ遅らせ、補正内部クロックCKのパルスを発生する。この補正内部クロックCKのパルスのタイミングは、外部クロックCKのパルスのタイミングと一致している。

【0150】8. 図7のタイミングチャートのi時点の状態

図16に示すように、内部クロックCLKが再び“1”になり、反転内部クロック/CLKが“0”になると、

各遅延ユニット 33-1, 33-2, ~33-n には、この内部クロック CLK と反転内部クロック / CLK が入力される。

【0151】従って、全ての遅延ユニット 33-1, 33-2, ~33-n の NAND 回路 48 の一方の入力は “0” になると共に、NAND 回路 49 の一方の入力は “1” になる。

【0152】また、状態保持部 47 がセット状態 S の遅延ユニット 33-1, 33-2 では、Q = “1” であり、インバータ 44 が活性状態であるため、後進パルス遅延回路の出力信号 RCL1, RCL2 は、“0” の状態を維持するが、状態保持部 47 がリセット状態 R の遅延ユニット 33-3 ~ 33-n では、/Q = “1” であり、インバータ 46 が活性状態であるため、後進パルス遅延回路の出力信号 RCL3 ~ RCLn は、“1” となる。

【0153】これにより、後進パルスのフロント F1 が形成される。

【0154】この後は、図 12 ~ 図 16 の動作が繰り返して行われることになる。

【0155】上記構成のクロック制御回路によれば、各遅延ユニットが状態保持部を持つことにより、遅延模倣パルス（前進パルス）FCL1 が発生してから内部クロック CLK のパルスが発生するまでの時間 Δf を正確にコピーして Δb を形成し、当該内部クロック CLK のパルスが発生してから時間 Δb (= Δf) 後に後進パルス RCL1 を遅延量 D2 を有する遅延回路 34 に入力させることができる。

【0156】従って、外部クロックに CK に正確に同期した補正内部クロック CK' を発生することが可能となり、高速クロックを用いたデータ転送を達成できる。また、本発明は、シンクロナス DRAM のように、内部クロックが一時中断されることがあると共に、周波数が変化する高速クロックに同期させてデータの授受を行うようなメモリに有効である。

【0157】図 18 は、図 2 のクロック制御回路の変形例を示すものである。

【0158】このクロック制御回路は、図 2 の回路と比べると、遅延回路 34 に所定の機能を付加した点が異なり、その他の構成は、図 2 の回路と同じである。

【0159】即ち、本実施の形態では、外部クロック CK 又は内部クロック CLK の周期 T が所定値以上に長い場合には、内部クロック CLK のタイミングを外部クロック CK のタイミングに合わせるという処理を行わず、メモリの入出力回路の制御は、一定のスキーを有する内部クロック CLK により行うようにしている。

【0160】これは、外部クロック CK の周波数が比較的に低い（周期が長い）場合には、スキー自体があまり問題とならないためである。また、クロック制御回路を構成する遅延ユニットの数も、メモリチップ上の占有

面積との関係からあまり大きくでないためである。

【0161】以下、本実施の形態の回路の構成を簡単に説明しておく。

【0162】外部クロック CK は、メモリの入力端子 30 に与えられる。外部クロック CK は、遅延量 D1 を有する入力バッファ 13 に入力される。入力バッファ 13 は、外部クロック CK に対して D1 のスキーを有する内部クロック CLK を出力する。内部クロック CLK は、遅延量 A を有する遅延回路 32 に入力され、遅延回路 32 は、前進パルス FCL1（遅延模倣パルス CL）を出力する。

【0163】内部クロック CLK、及び内部クロック CLK をインバータ 35 により反転した反転内部クロック / CLK は、それぞれ n 個の遅延ユニット 33-1, 33-2, …, 33-n に入力される。

【0164】n 個の遅延ユニット 33-1, 33-2, …, 33-n は、互いに直列に接続されている。初段の遅延ユニット 33-1 には、前進パルス FCL1 が入力され、また、初段の遅延ユニット 33-1 からは、後進パルス RCL1 が出力される。

【0165】外部クロック CK の周期 T が所定値未満（高速クロック）の場合には、後進パルス RCL1 は、遅延量 D2 を有する遅延回路 34 を経由することにより、補正内部クロック CK' となる。この補正内部クロック CK' のタイミングは、外部クロック CK のタイミングと一致しているものである。

【0166】外部クロック CK の周期 T が所定値以上の場合には、後進パルス RCL1 は、遅延量 D2 を有する遅延回路 34 に入力されるが、遅延回路 34 から出力されることはない。その代わりに、内部クロック CLK が遅延回路 34 から出力される。この場合、当然に内部クロック CLK は、外部クロック CK に対して一定のスキーを有しているが、このスキーは、外部クロック CK の周期に対してあまり問題とならない程度の量となっている。

【0167】制御パルス発生回路 61 は、最終段の遅延ユニット 33-n の前進パルス遅延回路の出力 LST と、初段の遅延ユニット 33-1 の後進パルス遅延回路の出力 RCL1 に基づいて、制御パルス L, /L を出力する。制御パルス L, /L は、補正内部クロック CK' を出力するか、又は内部クロック CLK を出力するかを決定する。

【0168】図 19 は、図 18 の遅延回路 34 の構成を詳細に示すものである。

【0169】遅延ユニット 33-1 の出力 RCL1 は、遅延回路 62 及びインバータ 63 を経由して NAND 回路 64 の一方の入力端に入力されると共に、直接、NAND 回路 64 の他方の入力端に入力されている。NAND 回路 64 の出力信号は、3 つのインバータ 65 ~ 67 を経由することにより、補正内部クロック CK' とな

る。

【0170】インバータ66は、制御クロック/Lが“1”的ときに活性状態となるようなクロックドインバータである。即ち、制御クロック/Lが“1”的とき、後進パルスを一定時間だけ遅らせて補正内部クロックCK'を生成し、制御クロック/Lが“0”的とき、後進パルスを遮断する。

【0171】内部クロックCLKは、インバータ68を経由して遅延回路34のインバータ67に入力されている。インバータ68は、制御クロック/Lが“1”的ときに活性状態となるようなクロックドインバータである。即ち、制御クロック/Lが“1”的とき、内部クロックCK'をインバータ67に導き、制御クロック/Lが“0”的とき、内部クロックCK'を遮断する。

【0172】図20は、図18の制御パルス発生回路61の構成を示すものである。

【0173】NOR回路69の一方の入力端には、最終段の遅延ユニット33-nの前進パルス遅延回路の出力LSTが入力され、他方の入力端には、NOR回路72の出力が入力されている。NOR回路72の一方の入力端には、NOR回路69の出力が入力され、他方の入力端には、NOR回路71の出力が入力されている。

【0174】NOR回路71には、最終段の遅延ユニット33-nの前進パルス遅延回路の出力LSTと、初段の遅延ユニット33-1の後進パルス遅延回路の出力RCL1をインバータ70で反転したものがそれぞれ入力されている。

【0175】さらに、NAND回路73には、NOR回路69の出力と、この出力を遅延回路74により遅延量D3だけ遅延させたものとがそれぞれ入力されている。NAND回路73の出力は、制御クロック/Lとなり、この制御クロック/Lをインバータ75で反転したものが制御クロック/Lとなる。

【0176】NAND回路73及び遅延回路74は、NOR回路69の出力に対して、制御クロック/Lの立ち上げは遅らせず、制御クロック/Lの立ち下げのみ遅延量D3だけ遅らせて、遅延回路34内の後進パルスを確実に消滅させ、初期化するためのものである。

【0177】次に、図21を参照しながら、図18～図20のクロック制御回路の原理について簡単に説明しておく。

【0178】図21は、外部クロックCKの1周期(サイクルタイム)が比較的長くなり、全遅延ユニットによる最大遅延量maxΔが、遅延模倣パルスが発生した時点から内部クロックCLKのパルスが発生する時点までの時間ΔTよりも短くなった場合におけるタイミングチャートを示している。

【0179】外部クロックCKと内部クロックCLKのスキューレ幅(遅延量)をD1とし、外部クロックCKの周期をTとする。

【0180】内部クロックCLKの1つめのパルスが発生した時点(立ち上がった時点)から時間Aが経過した時点で遅延模倣パルスFCL1を発生させる。この場合、遅延模倣パルスFCL1が発生した時点から、内部クロックCLKの2つめのパルスが発生する時点までの時間は、Δfとなる。

【0181】しかし、全遅延ユニットで形成できる最大遅延量は、 $\max \Delta$ (<Δf)である。つまり、本発明のクロック制御回路によりコピーできる遅延量の最大値は、 $\max \Delta$ であるため、内部クロックCLKの2つめのパルスが発生する時点から時間 $\max \Delta$ が経過した時点で遅延模倣パルスRCL1が発生することになり、遅延量Δfを正確にコピーできなくなる。

【0182】従って、遅延模倣パルスRCL1が発生した時点から時間D2が経過した時点で補正内部クロックCK'を発生させても、この補正内部クロックCK'のタイミングは、外部クロックCKのタイミングとずれている。しかも、このずれは、もともと存在したスキューレよりも大きくなることもあり、かえって、メモリの性能を劣化させる。

【0183】本実施の形態は、このような現象を回避するために考えられたものである。なお、図2の実施の形態では、内部クロックCLKのパルスが発生してから遅延模倣パルスが発生するまでの時間をAとし、全遅延ユニットによる最大遅延量を $\max \Delta$ とした場合に、 $A + \max \Delta \leq T$ を満すことが必要であるが、本実施の形態では、このような条件は必要とされなくなる。

【0184】次に、図22のタイミングチャートを参照しながら、図18乃至図20のクロック制御回路の動作について説明する。

【0185】なお、 $A + \max \Delta \leq T$ を満たすときの動作は、図7に示すタイミングチャートと同じであるので、以下では、 $A + \max \Delta > T$ の場合の動作についてのみ説明する。

【0186】内部クロックCLKが“1”となると、P=“1”、/P=“0”となり、全ての遅延ユニット33-1、33-2、～33-nの前進パルス遅延回路の入出力信号FCL1～FCLnが全て“0”となり、前進パルスの伝達するラインが初期化される。

【0187】この後、P=“0”、/P=“1”になると、各遅延ユニット33-1、33-2、～33-nの前進パルス遅延回路が互いに電気的に接続されると共に、遅延ユニット33-1の前進パルス遅延回路の入力端が遅延回路32に電気的に接続され、前進パルスの伝達の準備が完了する。

【0188】内部クロックCLKが“0”となり、反転内部クロック/CLKが“1”となった後、遅延回路(遅延量A)32から前進パルス(遅延模倣パルス)FCL1が出力され、遅延ユニット33-1に入力される。

【0189】前進パルス F C L 1 (= "1") が遅延ユニット 33-1 に入力されると、遅延ユニット 33-1 の状態保持部 47 の状態は、セット状態 S となる。また、前進パルスは、遅延ユニット 33-1, 33-2, ~33-n を順次経由しながら進んでいく。前進パルスが通り過ぎた遅延ユニットでは、状態保持部 47 の状態がセット状態 S に維持される。

【0190】この後、前進パルスは、全ての遅延ユニット 33-1, 33-2, ~33-n を経由し、遅延ユニット 33-n から出力パルス L S T (= "1") として出力される。

【0191】この出力パルス L S T は、制御パルス発生回路 61 に入力される。その結果、制御パルス発生回路 61 は、L = "1", /L = "0" のバス切替信号を発生する。つまり、出力パルス L S T が output された時点で L = "1", /L = "0" となり、遅延回路 34 が活性化され、遅延回路 34 からは、内部クロック C L K のタイミングと一致した補正内部クロック C K' が出力される。

【0192】また、内部クロック C L K が再び "1" になった後、時間 $m a x \Delta$ が経過したときに、遅延ユニット 33-1 からは後進パルス R C L 1 が output される。この後進パルス R C L 1 が制御パルス発生回路 61 に入力されると、制御パルス発生回路 61 は、後進パルス R C L 1 が遅延回路 34 から出力されるタイミングの後、即ち後進パルス R C L 1 が消滅した後に、L = "0", /L = "1" のバス切替信号を発生する。

【0193】つまり、遅延回路 34 が初期化（活性化）され、遅延回路 34 は、遅延ユニット 33-1 の出力信号 R C L 1 を出力し得る状態に変化する。

【0194】なお、遅延回路 62、インバータ 63 及び NAND 回路 64 は、遅延ユニット 33-1 から出力される後進パルスのパルス幅を決定する。即ち、内部クロック C L K をメモリの入出力制御に用いる場合、後進パルスが遅延回路 34 内で消滅した後に、L = "0", /L = "1" となり、遅延回路 34 が初期化（活性化）されるように構成する。

【0195】但し、遅延回路 34, 62, 74 の各遅延量は、D3 > D2 + D2' の関係を有するように設定される。

【0196】上記構成のクロック制御回路によれば、外部クロックに C K に正確に同期した補正内部クロック C K' を発生することが可能となり、高速クロックを用いたデータ転送を達成できる。

【0197】また、本実施の形態では、外部クロック C K の周波数に応じて、内部クロック C K をそのまま用いるか、又は外部クロック C K に同期した補正内部クロック C K' を用いるかを決定することができる。

【0198】つまり、外部クロック C K と内部クロック C L K のスキューレが問題となるような高速クロックに同

期させてデータの授受を行う場合には、外部クロック C K に同期した補正内部クロック C K' を用い、当該スキューレが問題となるようなクロックに同期させてデータの授受を行う場合には、通常どうり、内部クロック C K を用いるように構成している。

【0199】なお、内部クロックを用いるか又は補正内部クロックを用いるかは、遅延ユニットの数により決定される。

【0200】従って、外部クロック C K の周期（サイクルタイム）が長い場合に、かえって外部クロック C K と補正内部クロック C K' のずれが大きくなるという事態が生じることもない。

【0201】図 23 は、本発明のクロック制御回路をチップ上に配置する際のレイアウトを示すものである。

【0202】本発明のクロック制御回路を実際に I C としてシステムに組み込む場合には、配線容量に起因する遅延（配線遅延）を考慮する必要がある。

【0203】そこで、まず、遅延ユニットのアレイ（以下、S T B D, S y n c h r o n o u s T r a c e d B a c k w a r d s D e l a y という）80 は、入力バッファ 13 からの距離（又は配線遅延量）と出力バッファ（遅延回路）34 までの距離（又は配線遅延量）が同じになるような位置に配置する。

【0204】次に、入力バッファ 13 と S T B D 80 を配線長 L の配線により接続する。ここで、実際のスキューレ D 1 は、入力バッファ 13 による遅延量と配線長 L の配線による遅延量の合計となる。

【0205】次に、遅延量 A を有する遅延回路 32 について検討する。遅延量 A は、上述したように D1 + D2 で表される（例えば、図 6 参照）。また、遅延回路（出力バッファ）34 の実際の遅延量 D2 は、出力バッファ 34 による遅延量と配線長 L の配線による遅延量の合計となる。

【0206】そこで、遅延量 A を有する遅延回路は、スキューレ D 1 を形成するパターン 81 に対して左右を逆にしたパターン 82 と、遅延量 D2 を形成するパターン 83 と同一のパターン 84 により構成する。

【0207】このようなレイアウトにすることで、配線遅延も考慮した上で、遅延量 A, D1, D2 を決定することができるため、より正確に、補正内部クロック C K' を外部クロック C K に同期させることができる。

【0208】以上、説明したように、本発明のクロック制御回路によれば、次のような効果を奏する。

【0209】各遅延ユニットが状態保持部を持つことにより、遅延模倣パルス（前進パルス）F C L 1 が発生してから内部クロック C L K のパルスが発生するまでの時間 Δf を正確にコピーして Δb を形成し、当該内部クロック C L K のパルスが発生してから時間 Δb (= Δf) 後に後進パルス R C L 1 を遅延量 D2 を有する遅延回路に入力させることができる。

【0210】この様子を図24～図27に概略的に示す。

【0211】即ち、初期状態では、図24に示すように、遅延ユニット33-1～33-nの前進パルス遅延回路及び後進パルス遅延回路は、全て“0”を出力している状態となっている。

【0212】また、図25に示すように、前進パルスが遅延ユニット33-4に入力され、遅延ユニット33-4の状態保持部がセット状態Sになった後、内部クロックCLKのパルスが発生すると、状態保持部がリセット状態Rの遅延ユニット33-5～33-nは、“1”を出力する。

【0213】つまり、前進パルスのフロントF1と後進パルスのフロントF2は、一致することになるため、遅延量 Δf と遅延量 Δb は、同じになる。

【0214】この後、図26及び図27に示すように、遅延ユニット33-4がリセット状態Rに初期化され、さらに後進パルスが形成され、後進パルスは、遅延ユニット33-3, 33-2を経由して、遅延ユニット33-1から出力される。

【0215】このような動作により、外部クロックにCKに正確に同期した補正内部クロックCK'を発生することが可能となり、高速クロックを用いたデータ転送を達成できる。

【0216】また、遅延ユニットの最終段から出力される信号をモニタすることにより、外部クロックCKの周波数に応じて、内部クロックCKをそのまま用いるか、又は外部クロックCKに同期した補正内部クロックCK'を用いるかを決定することができる。

【0217】つまり、外部クロックCKと内部クロックCLKのスキーが問題となるような高速クロックに同期させてデータの授受を行う場合には、外部クロックCKに同期した補正内部クロックCK'を用い、当該スキーが問題とならないようなクロックに同期させてデータの授受を行う場合には、通常どうり、内部クロックCKを用いるように構成している。

【0218】なお、内部クロックを用いるか又は補正内部クロックを用いるかは、遅延ユニットの数により決定される。

【0219】従って、外部クロックCKの周期（サイクルタイム）が長い場合に、かえって外部クロックCKと補正内部クロックCK'のズレが大きくなるという事態が生じることもない。

【0220】さらに、遅延量Aが（D1+D2）で表される点に着目し、配線遅延も考慮した上で、遅延量Aのパターンを、遅延量D1, D2を形成するパターンと同一のパターンにより形成している。

【0221】従って、簡略化されたレイアウトによって、メモリチップ内に、正確に補正内部クロックCK'を外部クロックCKに同期させるシステムを構成するこ

とができる。

【0222】なお、本発明は、シンクロナスDRAMのように、内部クロックが一時中断されることがあると共に、周波数が変化する高速クロックに同期させてデータの授受を行うようなメモリに有効である。

【0223】図28は、図2のクロック制御回路を簡略化して示している。

【0224】D1は、遅延量D1を有する遅延回路、D2は、遅延量D2を有する遅延回路、Aは、遅延量D1+D2を有する遅延回路、STBD（Synchronous Traced Backward Delay）は、遅延ユニットのアレイである。STBDは、FD（Forward Delay）とBD（Backward Delay）から構成される。

【0225】このような構成のクロック制御回路によれば、上述のように、外部クロックCKの位相と内部クロックCK'の位相は、完全に一致する（スキーがなくなる）。よって、上記構成のクロック制御回路は、外部クロックCKの立ち上がり時（“L”から“H”への移行時）にデータを出力する場合に有効である。

【0226】一方、近年では、外部クロックCKの周期をTとしたとき、スキーのない内部クロックCK'に加えて、外部クロックCKに対して（k/j）×Tだけ位相が遅れた内部クロックCKDを正確に発生させることが要求されている（k, jは、互いに素な自然数、かつ、j > kである）。

【0227】例えば、外部クロックCKの立ち上がり時と立ち下がり時にそれぞれデータを出力するような場合は、外部クロックCKに対して位相が一致した内部クロックCK'と共に、外部クロックCKに対して位相がT/2 (=π)だけ遅れた内部クロックCKDを生成する必要がある。

【0228】また、このような場合、内部クロックCKDの位相が外部クロックの位相に対して正確にT/2 (=π)だけ遅れていないと、データ出力時のデータウインドウ（データが確定している期間）が短くなり、誤データを出力する可能性がある。

【0229】よって、以下では、外部クロックCKに対して（k/j）×Tだけ位相が遅れた内部クロックCKDを正確に発生させることができるクロック制御回路について説明する。

【0230】図29は、本発明のクロック制御回路の構成の第1例を示すものである。

【0231】このクロック制御回路は、外部クロックCKに対して位相が一致した内部クロックCK'と共に、外部クロックCKに対して位相がT/2 (=π)だけ遅れた内部クロックCKDを生成する（Tは、外部クロックの周期）。

【0232】外部クロックCKは、遅延量D1を有する入力バッファ13に入力される。入力バッファ13は、外部クロックCKに対してD1のスキーを有する内部

クロックCLKを出力する。内部クロックCLKは、遅延量Aを有する遅延回路32に入力され、遅延回路32は、遅延模倣パルスCL（前進パルスFCL1）を出力する。

【0233】遅延模倣パルスCLは、STBD (Synchronous Traced Backward Delay) のFD (Forward Delay) に入力される。FDにおいて遅延模倣パルスCLが遅延量△分だけ前進した後、BD (Backward Delay) 及びHBD (Half BackwardDelay) においてそれぞれ後進パルスが生成される。

【0234】BD中の後進パルスRCLは、正確に遅延量△分だけ後進した後、BDから出力される。また、HBD中の後進パルスHCLは、正確に遅延量△/2分だけ後進した後、HBDから出力される。

【0235】内部クロックCLKは、BD及びHBDに入力され、後進パルスの生成のタイミングを決定する。内部クロックCLKをインバータ35により反転した反転内部クロック/CLKは、FDに入力され、前進パルスが前進する期間（遅延量）を制御する。

【0236】後進パルスRCLは、遅延量D1 + (D2 × 2) を有する遅延回路34を経由すると、外部クロックCKの位相と一致した補正内部クロックCK'となる。また、後進パルスHCLは、遅延量D2を有する遅延回路36を経由すると、外部クロックCKに対して位相がT/2 (= 180°) だけ遅れた内部クロックCKDとなる。

【0237】ここで、遅延回路32の遅延量Aは、2 × (D1 + D2) に設定されている。

【0238】図30は、本発明のクロック制御回路の構成の第2例を示すものである。

【0239】このクロック制御回路は、外部クロックCKに対して位相が一致した内部クロックCK'と共に、外部クロックCKに対して位相がT/j (= 2π/j) だけ遅れた内部クロックCKDを生成するものである（Tは、外部クロックの周期、jは、互いに素な自然数、j > kである）。

【0240】外部クロックCKは、遅延量D1を有する入力バッファ13に入力される。入力バッファ13は、外部クロックCKに対してD1のスキーを有する内部クロックCLKを出力する。内部クロックCLKは、遅延量Aを有する遅延回路32に入力され、遅延回路32は、遅延模倣パルスCL（前進パルスFCL1）を出力する。

【0241】遅延模倣パルスCLは、STBD (Synchronous Traced Backward Delay) のFD (Forward Delay) に入力される。FDにおいて遅延模倣パルスCLが遅延量△分だけ前進した後、BD (Backward Delay) 及び1/jBD (BackwardDelay) においてそれぞれ後進パルスが生成される。

【0242】BD中の後進パルスRCLは、正確に遅延量△分だけ後進した後、BDから出力される。また、1

/jBD中の後進パルス1/jCLは、正確に遅延量△/j分だけ後進した後、1/jBDから出力される。

【0243】内部クロックCLKは、BD及び1/jBDに入力され、後進パルスの生成のタイミングを決定する。内部クロックCLKをインバータ35により反転した反転内部クロック/CLKは、FDに入力され、前進パルスが前進する期間（遅延量）を制御する。

【0244】後進パルスRCLは、遅延量(j-1) × D1 + j × D2を有する遅延回路34を経由すると、外

10 部クロックCKの位相と一致した補正内部クロックCK'となる。また、後進パルス1/jCLは、遅延量D2を有する遅延回路36を経由すると、外部クロックCKに対して位相がT/j (= 360°/n) だけ遅れた内部クロックCKDとなる。

【0245】ここで、遅延回路32の遅延量Aは、j × (D1 + D2) に設定されている。

【0246】図31は、本発明のクロック制御回路の構成の第3例を示すものである。

【0247】このクロック制御回路は、外部クロックCKに対して位相が一致した内部クロックCK'と共に、外部クロックCKに対して位相が(k/j) × T (= 2π × k/j) だけ遅れた内部クロックCKDを生成するものである（Tは、外部クロックの周期、k、jは、互いに素な自然数、j > kである）。

【0248】外部クロックCKは、遅延量k × D1を有する入力バッファ13に入力される。入力バッファ13は、外部クロックCKに対してk × D1のスキーを有する内部クロックCLKを出力する。内部クロックCLKは、遅延量Aを有する遅延回路32に入力され、遅延回路32は、遅延模倣パルスCL（前進パルスFCL1）を出力する。

【0249】遅延模倣パルスCLは、STBD (Synchronous Traced Backward Delay) のFD (Forward Delay) に入力される。FDにおいて遅延模倣パルスCLが遅延量△分だけ前進した後、BD (Backward Delay) 及びk/jBD (BackwardDelay) においてそれぞれ後進パルスが生成される。

【0250】BD中の後進パルスRCLは、正確に遅延量△分だけ後進した後、BDから出力される。また、k/jBD中の後進パルスk/jCLは、正確に遅延量△ × (k/j) 分だけ後進した後、k/jBDから出力される。

【0251】内部クロックCLKは、BD及びk/jBDに入力され、後進パルスの生成のタイミングを決定する。内部クロックCLKをインバータ35により反転した反転内部クロック/CLKは、FDに入力され、前進パルスが前進する期間（遅延量）を制御する。

【0252】後進パルスRCLは、遅延量(j-k) × D1 + j × D2を有する遅延回路34を経由すると、外部クロックCKの位相と一致した補正内部クロックCK

となる。また、後進パルス k/j CL は、遅延量 $k \times D_2$ を有する遅延回路 36 を経由すると、外部クロック CK に対して位相が $T \times (k/j)$ ($= 360^\circ \times k/j$) だけ遅れた内部クロック CKD となる。

【0253】ここで、遅延回路 32 の遅延量 A は、 $j \times (D_1 + D_2)$ に設定されている。

【0254】図 32 は、本発明のクロック制御回路の構成の第 4 例を示すものである。

【0255】このクロック制御回路は、外部クロック CK に対して位相が一致した内部クロック CK' と共に、外部クロック CK に対して位相が $T \times (k/j)$ ($= 2\pi \times k/j$) だけ遅れた内部クロック CKD を生成するものである (T は、外部クロックの周期、k, j は、互いに素な自然数、 $j > k$ である)。

【0256】外部クロック CK は、遅延量 D1 を有する入力バッファ 13 に入力される。入力バッファ 13 は、外部クロック CK に対して D1 のスキーを有する内部クロック CLK を出力する。内部クロック CLK は、遅延量 A を有する遅延回路 32 に入力され、遅延回路 32 は、遅延模倣パルス CL (前進パルス FCL 1) を出力する。

【0257】遅延模倣パルス CL は、STBD (Synchronous Traced Backward Delay) の FD (Forward Delay) に入力される。FDにおいて遅延模倣パルス CL が遅延量 Δ 分だけ前進した後、BD (Backward Delay) 及び k/j BD (Backward Delay) においてそれぞれ後進パルスが生成される。

【0258】BD 中の後進パルス RCL は、正確に遅延量 Δ 分だけ後進した後、BD から出力される。また、 k/j BD 中の後進パルス k/j CL は、正確に遅延量 $\Delta \times (k/j)$ 分だけ後進した後、 k/j BD から出力される。

【0259】内部クロック CLK は、BD 及び k/j BD に入力され、後進パルスの生成のタイミングを決定する。内部クロック CLK をインバータ 35 により反転した反転内部クロック/CLK は、FD に入力され、前進パルスが前進する期間 (遅延量) を制御する。

【0260】後進パルス RCL は、遅延量 $(j-1) \times D_1 + j \times D_2$ を有する遅延回路 34 を経由すると、外部クロック CK の位相と一致した補正内部クロック CK' となる。また、後進パルス k/j CL は、遅延量 $(k-1) \times D_1 + k \times D_2$ を有する遅延回路 36 を経由すると、外部クロック CK に対して位相が $T \times (k/j)$ ($= 360^\circ \times k/j$) だけ遅れた内部クロック CKD となる。

【0261】ここで、遅延回路 32 の遅延量 A は、 $j \times (D_1 + D_2)$ に設定されている。

【0262】図 33 は、本発明のクロック制御回路の構成の第 5 例を示すものである。

【0263】このクロック制御回路は、外部クロック C 50

K に対して位相が一致した内部クロック CK' と共に、外部クロック CK に対して位相が $T/4$ ($= 90^\circ$)、 $T/2$ ($= 180^\circ$)、 $3T/4$ ($= 270^\circ$) だけ遅れた内部クロック CKQ, CKH, CK3Q をそれぞれ生成する。

【0264】外部クロック CK は、遅延量 D1 を有する入力バッファ 13 に入力される。入力バッファ 13 は、外部クロック CK に対して D1 のスキーを有する内部クロック CLK を出力する。内部クロック CLK は、遅延量 A を有する遅延回路 32 に入力され、遅延回路 32 は、遅延模倣パルス CL (前進パルス FCL 1) を出力する。

【0265】遅延模倣パルス CL は、SAD (Synchronous Adjustable Delay) の FD (Forward Delay) に入力される。SAD には、STBD (Synchronous Traced Backward Delay) などが含まれる。

【0266】FDにおいて遅延模倣パルス CL が遅延量 Δ 分だけ前進した後、BD (Backward Delay)、QBD (Quarter Backward Delay)、HBD (Half Backward Delay) 及び 3QBD (3 Quarters Backward Delay) においてそれぞれ後進パルスが生成される。

【0267】BD 中の後進パルス RCL は、遅延量 Δ 分 (遅延素子 X 個分) だけ後進した後、BD から出力される。また、QBD 中の後進パルス QCL は、遅延量 $\Delta/4$ 分 (遅延素子 X/4 個分) だけ後進した後、QBD から出力され、HBD 中の後進パルス HCL は、遅延量 $\Delta/2$ 分 (遅延素子 X/2 個分) だけ後進した後、HBD から出力され、3QBD 中の後進パルス 3QCL は、遅延量 $3\Delta/4$ 分 (遅延素子 3X/4 個分) だけ後進した後、3QBD から出力される。

【0268】内部クロック CLK は、BD、QBD、HBD、3QBD にそれぞれ入力され、後進パルスの生成のタイミングを決定する。内部クロック CLK をインバータ 35 により反転した反転内部クロック/CLK は、FD に入力され、前進パルスが前進する期間 (遅延量) を制御する。

【0269】後進パルス RCL は、遅延量 $(D_1 \times 3 + D_2 \times 4)$ を有する遅延回路 34 を経由すると、外部クロック CK の位相と一致した補正内部クロック CK' となる。

【0270】また、後進パルス QCL は、遅延量 D2 を有する遅延回路 36a を経由すると、外部クロック CK に対して位相が $T/4$ ($= 90^\circ$) だけ遅れた内部クロック CKQ となる。

【0271】また、後進パルス HCL は、遅延量 $(D_1 + D_2 \times 2)$ を有する遅延回路 36b を経由すると、外部クロック CK に対して位相が $T/2$ ($= 180^\circ$) だけ遅れた内部クロック CKH となる。

【0272】さらに、後進パルス 3QCL は、遅延量 $(D_1 \times 2 + D_2 \times 3)$ を有する遅延回路 36c を経由

すると、外部クロックCKに対して位相が $3T/4$ (= 270°)だけ遅れた内部クロックCKDとなる。

【0273】ここで、遅延回路32の遅延量Aは、 $4 \times (D1 + D2)$ に設定されている。

【0274】図34は、図32のクロック制御回路の構成を詳細に示すものである。

【0275】外部クロックCKは、メモリの入力端子30に与えられる。外部クロックCKは、遅延量D1を有する入力バッファ13に入力される。入力バッファ13は、外部クロックCKに対してD1のスキーを有する内部クロックCLKを出力する。内部クロックCLKは、遅延量Aを有する遅延回路32に入力され、遅延回路32は、前進パルスFCL1(遅延模倣パルスCL)を出力する。

【0276】内部クロックCLK、及び内部クロックCLKをインバータ35により反転した反転内部クロック/CLKは、それぞれn(nは自然数)個の遅延ユニット33-1, 33-2, ..., 33-nに入力される。

【0277】n個の遅延ユニット33-1, 33-2, ..., 33-nは、互いに直列に接続されている。初段の遅延ユニット33-1には、前進パルスFCL1が入力され、また、初段の遅延ユニット33-1からは、後進パルスRCL1が出力される。

【0278】n個の遅延ユニット33-1, 33-2, ..., 33-nには、制御パルス発生回路60が出力する制御パルスP, /Pが入力される。また、遅延ユニット33-i(iは、1~n)は、制御パルスQi, /Qiを出力する。制御パルスQi, /Qiは、k/jBD37に入力される。

【0279】後進パルスRCL1は、遅延量(j-1) $\times D1 + j \times D2$ を有する遅延回路34を経由することにより、補正内部クロックCKとなる。

【0280】後進パルスk/jCLは、遅延量(k-1) $\times D1 + k \times D2$ を有する遅延回路36を経由することにより、外部クロックCKに対して位相が $T \times (k/j)$ (= $360^\circ \times k/j$)だけ遅れた内部クロックCKDとなる。

【0281】図35は、図34の遅延ユニットの構成の第1例を詳細に示すものである。

【0282】遅延ユニットUi(i=1~n)は、前進パルス遅延回路、状態保持回路及び後進パルス遅延回路の3つの部分から構成される。

【0283】前進パルス遅延回路は、3つのインバータ41~43から構成されている。インバータ41, 42は、直列接続され、インバータ41には、前段の遅延ユニットの出力信号FCLiが入力され、インバータ42は、後段の遅延ユニットに出力信号FCLi+1を出力する。インバータ(クロックドインバータ)41の動作は、制御パルス/Pにより制御され、例えば、制御パルス/Pが“1”的とき、インバータ41は、活性状態と

なる。

【0284】また、インバータ43の出力端は、インバータ42の入力端に接続され、インバータ43の入力端には、常に“0”的電位(例えば、接地電位)が印加されている。インバータ(クロックドインバータ)43の動作は、制御パルスPにより制御され、例えば、制御パルスPが“1”的とき、インバータ43は、活性状態となる。

【0285】後進パルス遅延回路は、3つのインバータ44~46から構成されている。インバータ44, 45は、直列接続され、インバータ44には、後段の遅延ユニットの出力信号RCLi+1又は内部クロックCLKが入力され、インバータ45は、前段の遅延ユニットに出力信号RCLiを出力する。インバータ(クロックドインバータ)44の動作は、制御パルスQiにより制御され、例えば、制御パルスQiが“1”的ときのみ、インバータ44は、活性状態となる。

【0286】また、インバータ46の出力端は、インバータ45の入力端に接続され、インバータ46の入力端には、常に、内部クロックCLKが入力されている。インバータ(クロックドインバータ)46の動作は、制御パルス/Qiにより制御され、例えば、制御パルス/Qiが“1”的とき、インバータ46は、活性状態となる。

【0287】状態保持回路は、状態保持部47及びNAND回路48, 49から構成されている。NAND回路48には、前段の遅延ユニットの出力信号FCLi及び反転内部クロック/CLKが入力され、NAND回路49には、インバータ45の出力信号及び内部クロックCLKが入力される。

【0288】NAND回路48の出力信号は、状態保持部47のセット入力/Sとなり、NAND回路49の出力信号は、状態保持部47のリセット入力/Rとなっている。従って、NAND回路48の出力信号(セット入力)/Sが“0”となったとき、状態保持部47はセット状態となり、NAND回路49の出力信号(リセット入力)/Rが“0”となったとき、状態保持部47はリセット状態となる。

【0289】状態保持部47は、制御パルスQ, /Qを出力するようにも構成されている。制御パルスQは、状態保持部47がセット状態のときに“1”となり、制御パルス/Qは、状態保持部47がリセット状態のときに“1”となる。

【0290】状態保持部47は、例えば、図4のような構成のものを使用することができる。

【0291】前進パルスが通過した遅延ユニットUiでは、制御パルスQiが“H”となり、/Qiが“L”となる。一方、後進パルスが通過した遅延ユニットUiでは、制御パルスQiが“L”となり、/Qiが“H”となる。

【0292】図36は、図34の遅延ユニットの構成の第2例を詳細に示すものである。

【0293】遅延ユニット U_i ($i = 1 \sim n$) は、前進パルス遅延回路 f_{d_i} 、状態保持回路 s_{r_i} 及び後進パルス遅延回路 b_{d_i} の3つの部分から構成される。

【0294】前進パルス遅延回路 f_{d_i} は、5つのインバータ $9_1 \sim 9_5$ から構成されている。インバータ $9_1 \sim 9_3$ は、直列接続され、インバータ 9_1 には、前段の遅延ユニットの出力信号 F_{CL_i} が入力され、インバータ 9_2 は、後段の遅延ユニットに出力信号 $F_{CL_{i+1}}$ を出力する。インバータ（クロックドインバータ） 9_1 の動作は、制御パルス/ P により制御され、例えば、制御パルス/ P が“1”的とき、インバータ 9_1 は、活性状態となる。

【0295】また、インバータ 9_4 の出力端は、インバータ 9_1 の出力端に接続されると共にインバータ $9_2, 9_5$ の入力端に接続され、インバータ 9_4 の入力端には、常に“0”的電位（例えば、接地電位）が印加されている。インバータ（クロックドインバータ） 9_4 の動作は、制御パルス/ P により制御され、例えば、制御パルス/ P が“1”的とき、インバータ 9_4 は、活性状態となる。

【0296】後進パルス遅延回路 b_{d_i} は、5つのインバータ $9_6 \sim 10_0$ から構成されている。インバータ $9_6 \sim 9_8$ は、直列接続され、インバータ 9_6 には、後段の遅延ユニットの出力信号 R_{CL_i+1} 又は内部クロック CLK が入力され、インバータ 9_7 は、前段の遅延ユニットに出力信号 R_{CL_i} を出力する。インバータ（クロックドインバータ） 9_6 の動作は、制御パルス/ Q_i により制御され、例えば、制御パルス/ Q_i が“1”的ときのみ、インバータ 9_6 は、活性状態となる。

【0297】また、インバータ 9_9 の出力端は、インバータ 9_6 の出力端に接続されると共にインバータ $9_7, 10_0$ の入力端に接続され、インバータ 9_9 の入力端には、常に、内部クロック CLK が入力されている。インバータ（クロックドインバータ） 9_9 の動作は、制御パルス/ Q_i により制御され、例えば、制御パルス/ Q_i が“1”的とき、インバータ 9_9 は、活性状態となる。

【0298】状態保持回路 s_{r_i} は、PチャネルMOSトランジスタ $10_1, 10_2$ 、NチャネルMOSトランジスタ $10_3, 10_4$ 及びインバータ 10_5 から構成されている。

【0299】PチャネルMOSトランジスタ $10_1, 10_2$ は、電源端子とノード Z の間に直列接続され、NチャネルMOSトランジスタ $10_3, 10_4$ は、接地端子とノード Z の間に直列接続されている。

【0300】MOSトランジスタ $10_1, 10_4$ のゲートには、内部クロック CLK を反転させたクロック信号/ CLK が入力され、MOSトランジスタ 10_2 のゲートには、遅延ユニット U_i-3 の出力信号/ $R_{CL_{i-1}}$

3が入力され、MOSトランジスタ 10_3 のゲートには、遅延ユニット U_i-1 の出力信号 $F_{FC_{CL_i}}$ が入力される。

【0301】インバータ 10_5 の入力端は、ノード Z に接続され、インバータ 10_5 の出力端からは制御パルス Q_{i-2} が outputされる。ノード Z からは、制御パルス/ Q_{i-2} が outputされる。

【0302】図37及び図38は、図34の k/j BD の構成の一例を示している。

【0303】本例では、 k が 1、 j が 2 の場合、即ち、外部クロックに対して位相が $T/2$ だけ遅れる場合について説明する。この場合、 k/j BD は、HBD (Half Backward Delay) となる。

【0304】HBD は、直列接続された m (m は自然数) 個の遅延ユニット b_{d_i} ($i = 1 \sim m$) から構成されている。各遅延ユニット b_{d_i} の構成は、SAD (Synchronous Adjustable Delay) の遅延ユニット U_i の後進パルス遅延回路 b_{d_i} の構成と同じである。

【0305】よって、BD における後進パルスの遅延量とHBD における後進パルスの遅延量の比は、BD における遅延ユニット数とHBD における遅延ユニット数の比、正確には、1つのブロック内におけるBDの遅延ユニット数とHBDの遅延ユニット数の比に等しくなる。

【0306】具体的には、本例では、 n 個の遅延ユニット U_i ($i = 1 \sim n$) と m 個の遅延ユニット b_{d_i} ($i = 1 \sim m$) を、それぞれ r (r は自然数) 個のブロック $B(1), B(2), \dots, B(r)$ に均等に分けている。

【0307】例えば、ブロック $B(1)$ を、2個の遅延ユニット U_1, U_2 と1つの遅延ユニット b_{d_1} から構成し、遅延ユニット U_1 を制御する制御パルス $Q_1, /Q_1$ 及び遅延ユニット U_2 を制御する制御パルス $Q_2, /Q_2$ のうちのいずれか一方を遅延ユニット b_{d_1} に与えている。

【0308】同様に、ブロック $B(r)$ を、2個の遅延ユニット U_{n-1}, U_n と1つの遅延ユニット b_{dm} から構成し、遅延ユニット U_{n-1} を制御する制御パルス $Q_{n-1}, /Q_{n-1}$ 及び遅延ユニット U_n を制御する制御パルス $Q_n, /Q_n$ のうちのいずれか一方を遅延ユニット b_{dm} に与えている。

【0309】つまり、本例では、SADの2個の遅延ユニットに対してHBDの1個の遅延ユニットを設けている。よって、BDにおいては、後進パルスは、 Δ だけ遅延するのに対し、HBDにおいては、後進パルスは、 $\Delta/2$ だけ遅延することになる。

【0310】なお、本例の場合、 r と m は、等しく、 $m = n/2$ の関係がある。また、上記説明において度々てくる互いに素な自然数 j, k は、それぞれ $j = 2$ (1つのブロック内のSADの遅延ユニットの数に等しい)、 $k = 1$ (1つのブロック内のHBDの遅延ユニットの数に等しい) となる。

【0311】また、SADの遅延ユニットの総数nは、 j (本例では2) $\times r$ となり、HBDの遅延ユニットの総数mは、 k (本例では1) $\times r$ となる。

【0312】また、HBDの遅延ユニット $b_{d1} \sim b_{dm}$ は、SADの遅延ユニット $U_1 \sim U_n$ に対して均等に配置するのがよい。つまり、SADの隣接する2つの遅延ユニットに対してHBDの1つの遅延ユニットを対応させれば、正確に $\Delta/2$ の遅延を生成できるようになる。

【0313】図39は、HBDにおける遅延ユニット b_{di} の構成の一例を示している。

【0314】本例は、図35の遅延ユニット U_i を用いた場合の例である。即ち、遅延ユニット U_i の後進パルス遅延回路は、3つのインバータ $44' \sim 46'$ から構成されているため、HBDにおける遅延ユニット b_{di} も、3つのインバータ $44' \sim 46'$ から構成される。

【0315】インバータ $44'$, $45'$ は、直列接続され、インバータ $44'$ には、後段の遅延ユニットの出力信号 HCL_{i+1} 又は内部クロック CLK が入力され、インバータ $45'$ は、前段の遅延ユニットに出力信号 HCL_i を出力する。インバータ (クロックドインバータ) $44'$ の動作は、制御パルス Q_i により制御され、例えば、制御パルス Q_i が“1”的ときのみ、インバータ $44'$ は、活性状態となる。

【0316】また、インバータ $46'$ の出力端は、インバータ $45'$ の入力端に接続され、インバータ $46'$ の入力端には、常に、内部クロック CLK が入力されている。インバータ (クロックドインバータ) $46'$ の動作は、制御パルス/ Q_i により制御され、例えば、制御パルス/ Q_i が“1”的とき、インバータ $46'$ は、活性状態となる。

【0317】図40は、図39の遅延ユニット b_{di} をシンボル化して示すものである。よって、図39の回路と図40の回路は、同一のものを示している。

【0318】図41は、図34の k/j BDの構成の一例を示している。

【0319】本例では、 j が3、 k が1の場合、即ち、外部クロックに対して位相が $T/3$ だけ遅れる場合について説明する。

【0320】 $1/3$ BDは、直列接続されたm個の遅延ユニット b_{di} ($i = 1 \sim m$) から構成されている。各遅延ユニット b_{di} の構成は、SAD (Synchronous Adjustable Delay) の遅延ユニット U_i の後進パルス遅延回路 b_{di} の構成と同じである。

【0321】よって、BDにおける後進パルスの遅延量と $1/3$ BDにおける後進パルスの遅延量の比は、BDにおける遅延ユニットの数と $1/3$ BDにおける遅延ユニットの数の比、正確には、1つのブロック内におけるBDの遅延ユニット数と $1/3$ BDの遅延ユニット数の比に等しくなる。

【0322】具体的には、本例では、n個の遅延ユニット U_i ($i = 1 \sim n$) とm個の遅延ユニット b_{di} ($i = 1 \sim m$) を、r個のブロックB (1), B (2), …, B (r) に均等に分けている。

【0323】例えば、ブロックB (1) を、3個の遅延ユニット $U_1 \sim U_3$ と1つの遅延ユニット b_{d1} から構成し、遅延ユニット U_1 を制御する制御パルス Q_1 , $/Q_1$ を遅延ユニット b_{d1} に与えている。但し、制御パルス Q_1 , $/Q_1$ に変えて、遅延ユニット U_2 又は遅延ユニット U_3 を制御する制御パルスを遅延ユニット b_{d1} に与えてもよい。

【0324】つまり、本例では、SADの3個の遅延ユニットに対して $1/3$ BDの1個の遅延ユニットを設けている。よって、BDにおいては、後進パルスは、 Δ だけ遅延するのに対し、 $1/3$ BDにおいては、後進パルスは、 $\Delta/3$ だけ遅延することになる。

【0325】なお、本例の場合、 r とmは、等しく、 $m = n/3$ の関係がある。また、上記説明において度々でてくる互いに素な自然数 j , k は、それぞれ $j = 3$ (1つのブロック内のSADの遅延ユニットの数に等しい) , $k = 1$ (1つのブロック内のHBDの遅延ユニットの数に等しい) となる。

【0326】また、SADの遅延ユニットの総数nは、 j (本例では3) $\times r$ となり、HBDの遅延ユニットの総数mは、 k (本例では1) $\times r$ となる。

【0327】また、 $1/3$ BDの遅延ユニット $b_{d1} \sim b_{dm}$ をSADの遅延ユニット $U_1 \sim U_n$ に対して均等に配置するのがよい。つまり、SADの隣接する3つの遅延ユニットに対して $1/3$ BDの1つの遅延ユニットを対応させれば、正確に $\Delta/3$ の遅延を生成できるようになる。

【0328】図42は、図34の k/j BDの構成の一例を示している。

【0329】本例では、 k が2、 j が3の場合、即ち、外部クロックに対して位相が $T/3$ だけ遅れる場合について説明する。

【0330】 $2/3$ BDは、直列接続されたm個の遅延ユニット b_{di} ($i = 1 \sim m$) から構成されている。各遅延ユニット b_{di} の構成は、SAD (Synchronous Adjustable Delay) の遅延ユニット U_i の後進パルス遅延回路 b_{di} の構成と同じである。

【0331】よって、BDにおける後進パルスの遅延量と $2/3$ BDにおける後進パルスの遅延量の比は、BDにおける遅延ユニット数と $2/3$ BDにおける遅延ユニット数の比、正確には、1つのブロック内におけるBDの遅延ユニット数と $2/3$ BDの遅延ユニット数の比に等しくなる。

【0332】具体的には、本例では、n個の遅延ユニット U_i ($i = 1 \sim n$) とm個の遅延ユニット b_{di} ($i = 1 \sim m$) を、r個のブロックB (1), B (2), …,

B (r) に均等に分けている。

【0333】 例えば、ブロックB (1) を、3個の遅延ユニットU1~U3と2つの遅延ユニットbd1, bd2から構成し、遅延ユニットU1を制御する制御パルスQ1, /Q1を遅延ユニットbd1に与え、遅延ユニットU3を制御する制御パルスQ3, /Q3を遅延ユニットbd2に与えている。

【0334】 但し、制御パルスQ1, /Q1, Q3, /Q3に変えて、制御パルスQ1, /Q1, Q2, /Q2を遅延ユニットbd1, bd2に与えてもよいし、また、制御パルスQ2, /Q2, Q3, /Q3を遅延ユニットbd1, bd2に与えてもよい。

【0335】 つまり、本例では、SADの3個の遅延ユニットに対して2/3BDの2個の遅延ユニットを設けている。よって、BDにおいては、後進パルスは、△だけ遅延するのに対し、2/3BDにおいては、後進パルスは、2△/3だけ遅延することになる。

【0336】 なお、本例の場合、 $m=2n/3$ の関係がある。また、上記説明において度々でてくる互いに素な自然数j, kは、それぞれj=3 (1つのブロック内のSADの遅延ユニットの数に等しい)、k=2 (1つのブロック内のHBDの遅延ユニットの数に等しい)となる。

【0337】 また、SADの遅延ユニットの総数nは、j (本例では3) × rとなり、HBDの遅延ユニットの総数mは、k (本例では2) × rとなる。また、 $m/n = k \times r / j \times r$ であるから、 $m/n = k/j$ の関係がある。

【0338】 また、2/3BDの遅延ユニットbd1~bdmをSADの遅延ユニットU1~Unに対して均等に配置するのがよい。つまり、SADの隣接する3つの遅延ユニットに対して2/3BDの2つの遅延ユニットを対応させれば、正確に2△/3の遅延を生成できるようになる。

【0339】 図43は、図34のk/jBDの構成を一般的に示している。図44は、図43の1つのブロックB (i) 内におけるk/jBDの構成を示している。

【0340】 SADは、r個のブロックB (1) ~B (r) から構成されている。SADにおいて、各ブロックは、j個の遅延ユニットを含んでいる。同様に、k/jBDは、r個のブロックB (1) ~B (r) から構成されている。k/jBDにおいて、各ブロックは、k個の遅延ユニットを含んでいる。

【0341】 j及びkは、互いに素な自然数であり、 $j > k$ に設定するのが一般的である。ブロックがr個存在するから、SADの遅延ユニットの合計数nは、 $r \times j$ 個となり、k/jBDの遅延ユニットの合計数mは、 $r \times k$ 個となる。

【0342】 SADのブロック数とk/jBDのブロック数は等しい。例えば、SADのブロックB (1) は、

k/jBDのブロック (1) に対応し、SADのブロックB (2) は、k/jBDのブロック (2) に対応し、SADのブロックB (r) は、k/jBDのブロック (r) に対応している。

【0343】 例えば、SADのブロック (1) は、j組の制御パルスQ1, /Q1, Q2, /Q2, ..., Qj, /Qjにより制御されている。そこで、これらj組の制御パルスのうちのk (< j) 組のみを選択し、このk組の制御パルスをk/jBDのブロック (1) に供給する。

【0344】 k組の制御パルスは、j組の制御パルスQ1, /Q1, Q2, /Q2, ..., Qj, /Qjから規則的かつ均等に選択される。

【0345】 また、選択されたk組の制御パルスは、k/jBDの対応するk個の遅延ユニットに規則的に与えられる。例えば、制御パルスQ1, /Q1, Q2, /Q2が選択される場合には、制御パルスQ1, /Q1をk/jBDの遅延ユニットbd1に与え (bd2に与えない)、制御パルスQ2, /Q2をk/jBDの遅延ユニットbd2に与える (bd1に与えない)。

【0346】 このような構成によれば、SADの前進パルスが到達する遅延ユニットの位置にかかわらず、常に、SADの遅延ユニット数とk/jBDの遅延ユニット数の比は、 $k/j = m/n$ を満たすようになる。よって、前進パルスが到達する遅延ユニットの位置にかかわらず、k/jBDにおいて正確にk/j△の遅延量を生成することができる。

【0347】 次に、図45を参照しながら、本発明 (図31の例の場合) の原理について説明する。

【0348】 外部クロックCKと内部クロックCLKのスキーの幅 (遅延量) を $k \times D1$ とし、外部クロックCK及び内部クロックCLKの周期をTとする。

【0349】 内部クロックCLKの1つめのパルスが発生した時点 (立ち上がった時点) から時間Aが経過した時点で遅延模倣パルスCLを発生させる。この場合、遅延模倣パルスCLが発生した時点から、内部クロックCLKの2つめのパルスが発生する時点までの時間は、 Δf となる。

【0350】 また、この時間 Δf をコピーして Δb を作り、遅延模倣パルスCLを発生させた時点から時間 $2 \times \Delta$ (但し、 $\Delta f = \Delta b = \Delta$) が経過した時点で遅延模倣パルスRCLが発生するようにする。すると、遅延模倣パルスRCLが発生した時点から時間Aが経過した時点は、内部クロックCLKの3つめのパルスが発生する時点と一致することになる。但し、 $(A + W) < T$ とする。Wは、遅延模倣パルスCL, RCLの幅である。

【0351】 遅延模倣パルスRCLが発生した時点から外部クロックCKの3つめのパルスが発生する時点までの時間を $(j - k) \times D1 + j \times D2$ とすると、遅延模倣パルスRCLを時間 $(j - k) \times D1 + j \times D2$ だけ

遅延させてやれば、外部クロック CK のタイミングに一致した補正内部クロック CK' が得られる。

【0352】つまり、遅延量 A, $(2 \times \Delta)$, $(j - k) \times D1 + j \times D2$ を生成する遅延回路を形成し、内部クロック CLK を時間 $A + (2 \times \Delta) + \{ (j - k) \times D1 + j \times D2 \}$ だけ遅らせれば、外部クロック CK のタイミングに一致した補正内部クロック CK' が

$$k \times D1 + A + \Delta = T + k \times D1 \quad \dots (1)$$

$$k \times D1 + A + 2\Delta + (j - k) \times D1 + j \times D2 \\ = 2T \quad \dots (2)$$

$= 2T \dots (4)$ が導ける。

が導ける。

【0355】(1) 式より、 $T = A + \Delta \dots (3)$

が導け、(2) 式より、 $A + 2\Delta + j \cdot (D1 + D2)$

$$A + 2\Delta + j \cdot (D1 + D2) = 2(A + \Delta) \\ A = j \cdot (D1 + D2) \quad \dots (5)$$

となる。

【0357】また、外部クロック CK に対して $(k/j) \times T$ だけ遅延した内部クロック CKD が生成される原理は、以下の通りである。

【0358】時間 $(k/j) \times \Delta$ ($\Delta = \Delta f = \Delta b$) を 20 作り、遅延模倣パルス CL を発生させた時点から時間 Δ

$$k \times D1 + (k/j) \times \Delta + k \times D2$$

だけ遅れていることになる。

$$(k/j) \times (j \times D1 + \Delta + j \times D2) \\ = (k/j) \times \{ j \cdot (D1 + D2) + \Delta \} \quad \dots (7)$$

となる。

$$(k/j) \times T$$

となる。

【0362】つまり、内部クロック CKD は、外部クロック CK に対して位相が $(k/j) \times T$ だけ遅れていることを意味する。

【0363】よって、遅延量 A, $\Delta + (k/j) \times \Delta$, $k \times D2$ を生成する遅延回路を形成し、内部クロック CLK を時間 $A + \{ \Delta + (k/j) \times \Delta \} + k \times D2$ だけ遅らせれば、外部クロック CK に対して位相が $(k/j) \times T$ だけ遅れた内部クロック CKD が得られることになる。

【0364】遅延量 Δ は、SAD の FD により生成され、また、遅延量 $k \times D2$ は、遅延素子により生成される。遅延量 A は、上述の手法によって、(5) 式に示す 40 ように、 $j \cdot (D1 + D2)$ に設定される。

【0365】次に、図 46 を参照しながら、本発明(図 32 の例の場合)の原理について説明する。

【0366】外部クロック CK と内部クロック CLK のスキーの幅(遅延量)を D1 とし、外部クロック CK 及び内部クロック CLK の周期を T とする。

【0367】内部クロック CLK の 1 つめのパルスが発生した時点(立ち上がった時点)から時間 A が経過した時点で遅延模倣パルス CL を発生させる。この場合、遅延模倣パルス CL が発生した時点から、内部クロック C 50

得されることになる。

【0353】遅延量 $(2 \times \Delta)$ は、SAD により生成され、また、遅延量 $(j - k) \times D1 + j \times D2$ は、遅延素子により生成される。遅延量 A は、以下のようにして決定される。

【0354】図 45 の関係から、

$$k \times D1 + A + \Delta = T + k \times D1 \quad \dots (1)$$

$$k \times D1 + A + 2\Delta + (j - k) \times D1 + j \times D2$$

$$= 2T \quad \dots (2)$$

$$= 2T \dots (4) \text{ が導ける。}$$

【0356】(3), (4) 式より、

$+ (k/j) \times \Delta$ が経過した時点で遅延パルス $k/j \cdot CL$ が発生するようとする。また、遅延パルス $k/j \cdot CL$ が発生した時点から時間 $k \times D2$ が経過した時点において、内部クロック CKD を発生させる。

【0359】この時、図 45 から明らかのように、内部クロック CKD は、外部クロック CK に対して、

$$\dots (6)$$

【0360】(6) 式を変形すると、

【0361】(7) 式は、上記(3), (5) 式より、
… (8)

CL の 2 つめのパルスが発生する時点までの時間は、 Δf となる。

【0368】また、この時間 Δf をコピーして Δb を作り、遅延模倣パルス CL を発生させた時点から時間 $2 \times \Delta$ (但し、 $\Delta f = \Delta b = \Delta$) が経過した時点で遅延模倣パルス RCL が発生するようとする。すると、遅延模倣パルス RCL が発生した時点から時間 A が経過した時点は、内部クロック CLK の 3 つめのパルスが発生する時点と一致することになる。但し、 $(A + W) < T$ とする。W は、遅延模倣パルス CL, RCL の幅である。

【0369】遅延模倣パルス RCL が発生した時点から外部クロック CK の 3 つめのパルスが発生する時点までの時間を $(j - 1) \times D1 + j \times D2$ とすると、遅延模倣パルス RCL を時間 $(j - 1) \times D1 + j \times D2$ だけ遅延させてやれば、外部クロック CK のタイミングに一致した補正内部クロック CK' が得られる。

【0370】つまり、遅延量 A, $(2 \times \Delta)$, $(j - 1) \times D1 + j \times D2$ を生成する遅延回路を形成し、内部クロック CLK を時間 $A + (2 \times \Delta) + \{ (j - 1) \times D1 + j \times D2 \}$ だけ遅らせれば、外部クロック CK のタイミングに一致した補正内部クロック CK' が得られることになる。

【0371】遅延量 $(2 \times \Delta)$ は、SAD により生成さ

れ、また、遅延量 $(j - 1) \times D_1 + j \times D_2$ は、遅延素子により生成される。遅延量 A は、以下のようにして

$$D_1 + A + \Delta = T + D_1 \quad \dots (9)$$

$$D_1 + A + 2\Delta + (j - 1) \times D_1 + j \times D_2 = 2T \quad \dots (10)$$

が導ける。

【0373】 (9) 式より、 $T = A + \Delta \dots (1)$
1) が導け、(10) 式より、 $A + 2\Delta + j (D_1 + D$

$$A + 2\Delta + j (D_1 + D_2) = 2 (A + \Delta) \quad \dots (13)$$

となる。

【0375】 また、外部クロック CK に対して $(k/j) \times T$ だけ遅延した内部クロック CKD が生成される原理は、以下の通りである。

【0376】 時間 $(k/j) \times \Delta$ ($\Delta = \Delta_f = \Delta_b$) を作り、遅延模倣パルス CL を発生させた時点から時間 $\Delta + (k/j) \times \Delta$ が経過した時点で遅延パルス $k/j C$

$$D_1 + (k/j) \times \Delta + (k - 1) \times D_1 + k \times D_2 \quad \dots (14)$$

だけ遅れていることになる。

20 【0378】 (14) 式を変形すると、

$$(k/j) \times (j \times D_1 + \Delta + j \times D_2) = (k/j) \times \{j (D_1 + D_2) + \Delta\} \quad \dots (15)$$

となる。

より、

【0379】 (15) 式は、上記 (11), (12) 式
 $(k/j) \times T$

… (16)

となる。

【0380】 つまり、内部クロック CKD は、外部クロック CK に対して位相が $(k/j) \times T$ だけ遅れていることを意味する。

【0381】 よって、遅延量 A , $\Delta + (k/j) \times \Delta$, $k \times D_2$ を生成する遅延回路を形成し、内部クロック CL を時間 $A + \{\Delta + (k/j) \times \Delta\} + k \times D_2$ だけ遅らせば、外部クロック CK に対して位相が $(k/j) \times T$ だけ遅れた内部クロック CKD が得られることになる。

【0382】 遅延量 Δ は、SAD の FD により生成され、また、遅延量 $k \times D_2$ は、遅延素子により生成される。遅延量 A は、上述の手法によって、(13) 式に示すように、 $j (D_1 + D_2)$ に設定される。

【0383】 図 47 は、外部クロックを発生し、データを受け取るコントローラと、外部クロックから生成した内部クロックに基づいてデータを出力するメモリとの接続関係を示している。

【0384】 上述の例では、外部クロックと内部クロックの位相関係を明確に決定し、メモリから正確なデータを出力する技術について述べた。本例では、このようなメモリから読み出された正確なデータを、コントローラが正確に受け取ることができる技術について説明する。

【0385】 一般に、メモリシステムは、コントローラ (CPU) と、複数のメモリ (IC) とを含んでいる。

30

また、外部クロック CK がコントローラからメモリ 1, 2 に到達するまでには、一定の時間がかかる。そこで、まず、コントローラから各メモリ 1, 2 までの外部クロックの配線長を等しくする。

【0386】 また、メモリ 1 又はメモリ 2 は、外部クロック CK に対して一定の位相関係にある内部クロックに基づいてデータを出力する。データは、データバスを経由してコントローラに導かれる。

【0387】 コントローラは、メモリ 1 又はメモリ 2 からデータを受け取るが、データバスの配線長、配線容量などにより、データがメモリ 1 又はメモリ 2 から出力され、コントローラに入力されるまでに一定の時間がかかる。

【0388】 即ち、コントローラは、正確なデータを取り込むため、データバスのデータの伝搬時間を考慮したタイミングによりデータを取り込む必要がある。

【0389】 そこで、メモリ 1, 2 に等しい外部クロックの入力容量を持つダミーメモリ (IC) を用意する。コントローラからダミーメモリまでの外部クロックの配線長は、コントローラから各メモリ 1, 2 までの外部クロックの配線長に等しくする。

【0390】 また、ダミー IC に入力される外部クロック CK をさらにコントローラに戻し、これをリターンクロックとする。

40

【0391】 リターンクロックは、コントローラがメモ

リ 1 又はメモリ 2 の出力データを受け取るタイミングを決定するものである。よって、ダミーメモリからコントローラまでのリターンクロックの配線長は、メモリ 1 又はメモリ 2 からコントローラまでのデータバス長に等しくする。

【0392】このように、コントローラは、リターンクロックに基づいて、メモリ 1 又はメモリ 2 からのデータを受け取る。よって、誤データがコントローラに入力されることはない。

【0393】

【発明の効果】以上、説明したように、本発明のクロック制御回路によれば、次のような効果を奏する。

【0394】外部クロックに対し常に一定の位相関係になる内部クロックを安定して生成することができ、しかも、外部クロックの周期が変化しても、外部クロックの数サイクル目には、外部クロックに対して内部クロックが常に一定の位相関係を有するようになる。

【0395】よって、本発明は、いわゆるシンクロナスメモリのようなクロック同期型のDRAMのデータ入出力回路の制御に最適である。

【0396】また、クロックのサイクルを分周してデータ出力を行うような制御により、クロックの 1 周期で複数のデータを出力するような場合には、外部クロックに対して位相が所定量だけ正確にずれた内部クロックを複数必要とするが、本発明によれば、このような複数の内部クロックを PLL などの複雑なシステムを用いなくても、容易に生成することができる。

【図面の簡単な説明】

【図 1】本発明の回路を有するメモリを備えたシステムの主要部を示す図。

【図 2】図 1 のメモリ内のクロック制御回路の構成を示す図。

【図 3】図 2 の回路内の遅延ユニットを詳細に示す回路図。

【図 4】図 3 の遅延ユニット内の状態保持部を詳細に示す回路図。

【図 5】図 2 の回路内の制御パルス発生回路を詳細に示す図。

【図 6】本発明の原理について示す図。

【図 7】図 2～5 の回路の動作を示すタイミング図。

【図 8】図 7 のタイミング図の a の状態を示す図。

【図 9】図 7 のタイミング図の b の状態を示す図。

【図 10】図 7 のタイミング図の c の状態を示す図。

【図 11】図 7 のタイミング図の d の状態を示す図。

【図 12】図 7 のタイミング図の e の状態を示す図。

【図 13】図 7 のタイミング図の f の状態を示す図。

【図 14】図 7 のタイミング図の g の状態を示す図。

【図 15】図 7 のタイミング図の h の状態を示す図。

【図 16】図 7 のタイミング図の i の状態を示す図。

【図 17】図 2 の回路の変形例を示す図。

【図 18】図 2 の回路の変形例を示す図。

【図 19】図 18 の回路内の遅延回路 34 を詳細に示す図。

【図 20】図 18 の回路内の制御パルス発生延回路 61 を詳細に示す図。

【図 21】図 2 の回路の動作の問題点を示す図。

【図 22】図 18～図 20 の回路の動作を示すタイミング図。

【図 23】本発明の回路をチップに組み込む場合のレイアウトを示す図。

【図 24】図 2 及び図 18 の回路の動作を示す図。

【図 25】図 2 及び図 18 の回路の動作を示す図。

【図 26】図 2 及び図 18 の回路の動作を示す図。

【図 27】図 2 及び図 18 の回路の動作を示す図。

【図 28】図 2 のクッロック制御回路の概略の構成を示す図。

【図 29】本発明のクロック制御回路の第 1 例を示す図。

【図 30】本発明のクロック制御回路の第 2 例を示す図。

【図 31】本発明のクロック制御回路の第 3 例を示す図。

【図 32】本発明のクロック制御回路の第 4 例を示す図。

【図 33】本発明のクロック制御回路の第 5 例を示す図。

【図 34】図 1 のクロック制御回路の構成を詳細に示す図。

【図 35】図 34 の回路内の遅延ユニット U_i の構成を詳細に示す図。

【図 36】図 34 の回路内の遅延ユニット U_i の構成を詳細に示す図。

【図 37】HBD の構成の第 1 例を示す図。

【図 38】HBD の構成の第 2 例を示す図。

【図 39】図 37 又は図 38 の遅延ユニット bdi の構成を示す図。

【図 40】図 39 の回路をシンボル化して示す図。

【図 41】1/3BD の構成の第 1 例を示す図。

【図 42】1/3BD の構成の第 2 例を示す図。

【図 43】m/nBD の構成を示す図。

【図 44】図 43 のブロック B(i) の構成を示す図。

【図 45】本発明の原理について示す図。

【図 46】本発明の原理について示す図。

【図 47】本発明のメモリシステムの構成を示す図。

【図 48】従来のシステムの主要部を示す図。

【図 49】図 48 のシステムの外部クロックと内部クロックのスキーを示す回路図。

【図 50】本発明の基礎となる同期システムの原理を示す図。

【図 51】図 50 の原理を達成するための回路の一例を

51

52

示す図。

【図 5.2】図 5.1 の回路における遅延量 Δf , Δb の決定の様子を示す図。

【符号の説明】

1 1 : メモリ、
 1 2 : CPU、
 1 3 : バッファ、
 1 4 : 入力回路、
 1 5 : 出力回路、
 1 6 : 書き込み・読み出し回路、
 1 7 : メモリセルアレイ、
 1 8 : データバス、
 2 1 : 入力端子、
 2 2 : 入力バッファ、
 2 3, 25-1~25-n, 29-1~29-n, 30 : 遅延回路、
 2 4 : 前進遅延アレイ、
 2 6 : ミラー制御回路、
 2 7-1~27-n : 制御素子、

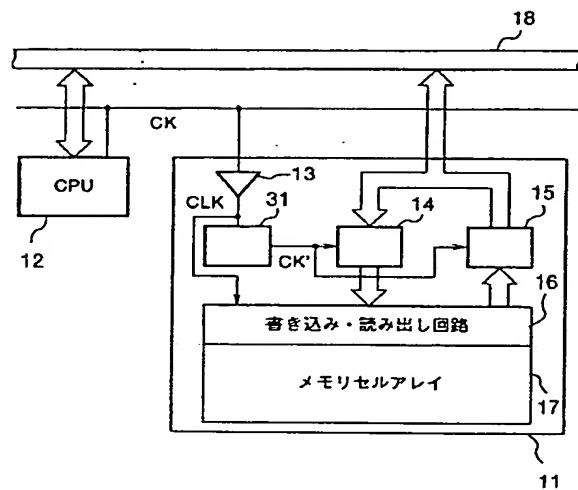
2 8

3 1

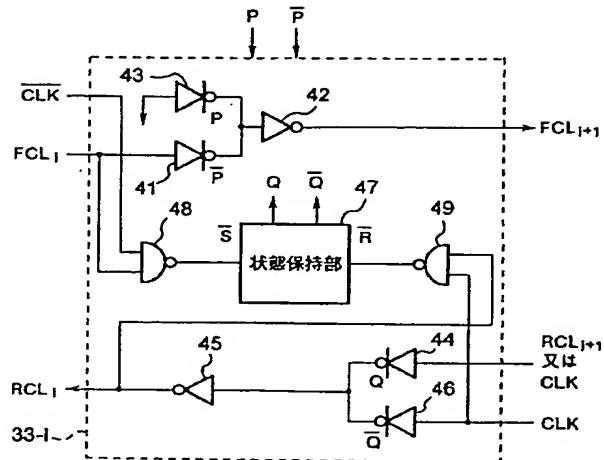
路、

3 2, 33-1~33-n, 34, 57, 62 : 遅延回路、
 4 1~46, 59, 63, 66~68, 70 : インバータ、
 4 7 : 状態保持部、
 4 8, 49, 64 : NAND回路、
 10 51, 52 : Pチャネル型MOSトランジスタ、
 5 3~5 6 : Nチャネル型MOSトランジスタ、
 5 8, 69, 71, 72 : NOR回路、
 6 0, 61 : 制御パルス発生回路、
 7 3 : NAND回路、
 7 4 : 遅延回路、
 7 5 : インバータ、
 8 1~8 4 : 回路パターン。

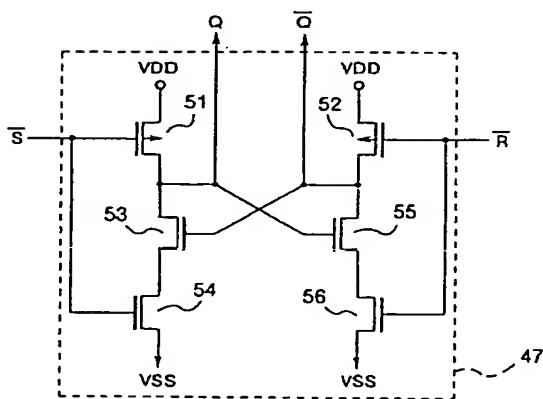
【図 1】



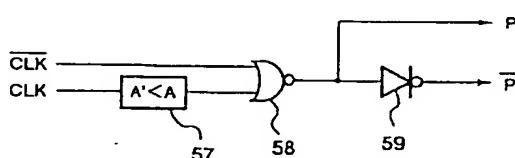
【図 3】



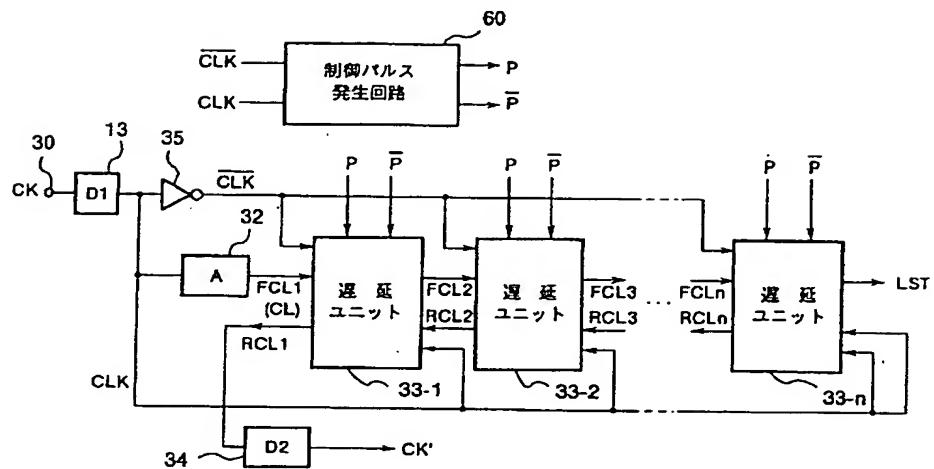
【図 4】



【図 5】

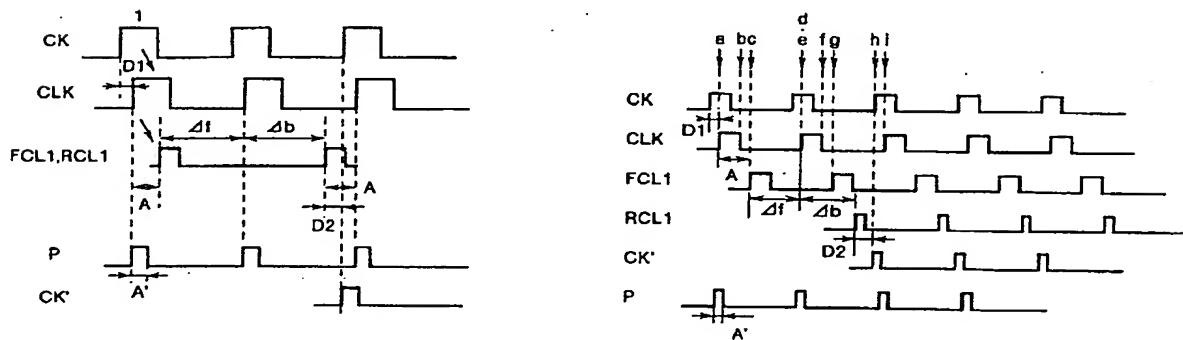


[図2]

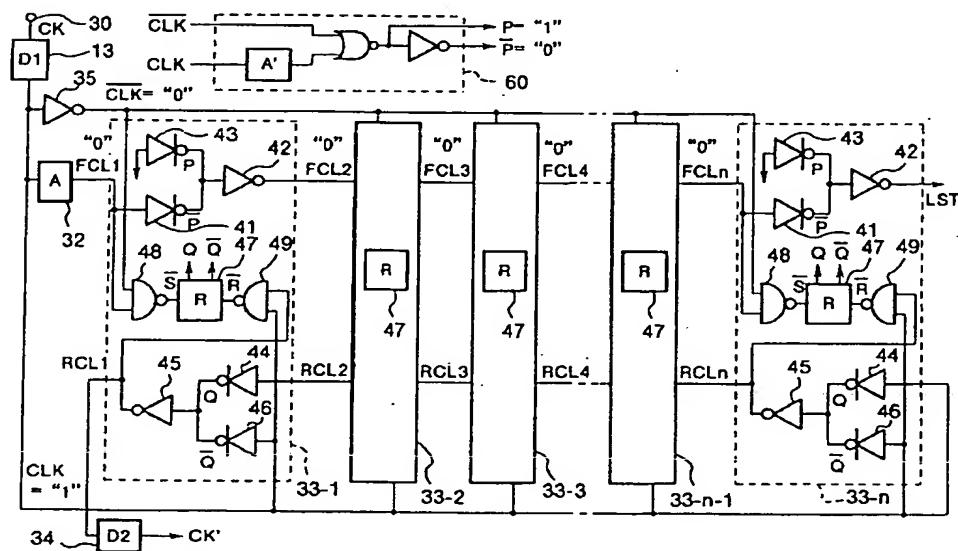


【図6】

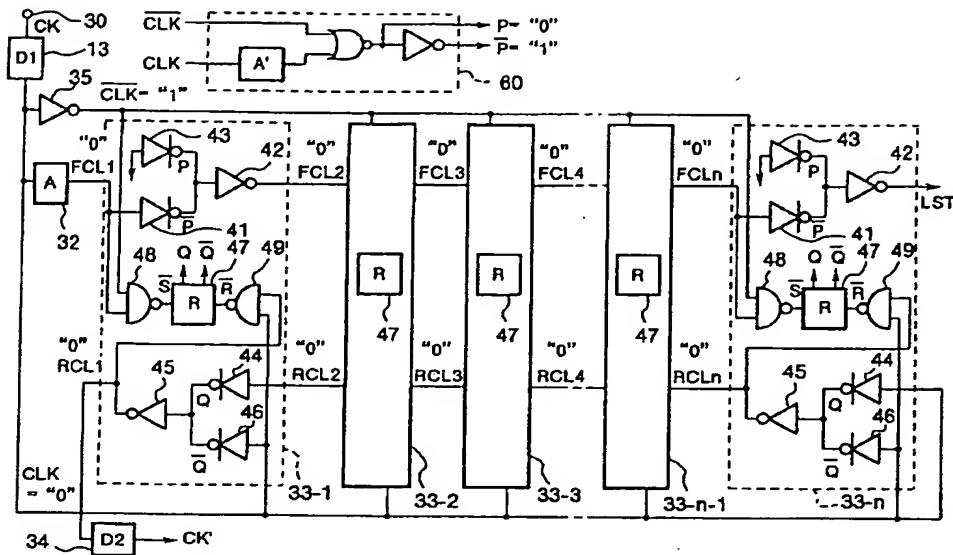
【四 7】



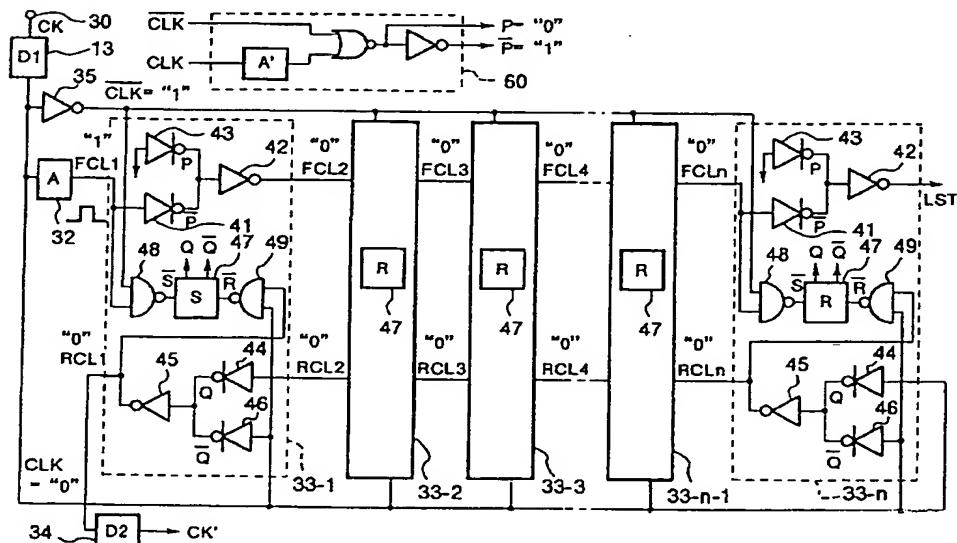
[図8]



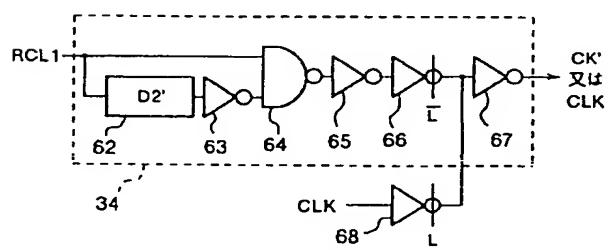
【図 9】



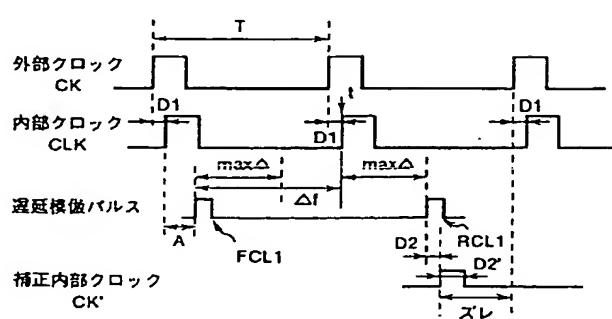
【図 10】



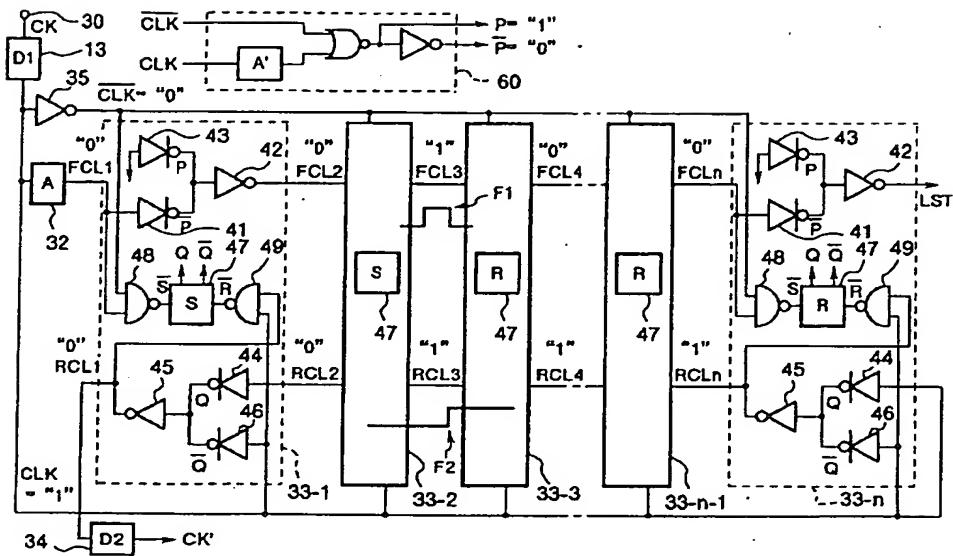
【図 19】



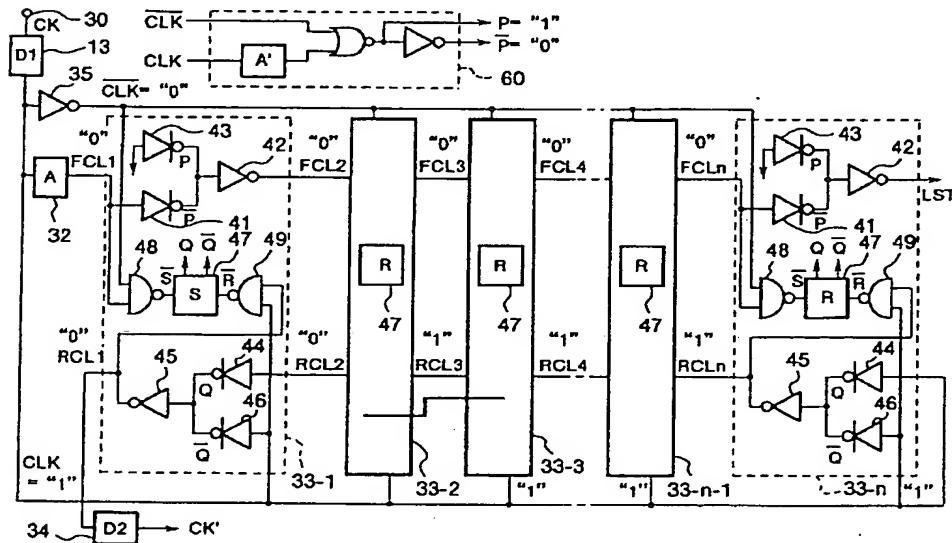
【図 21】



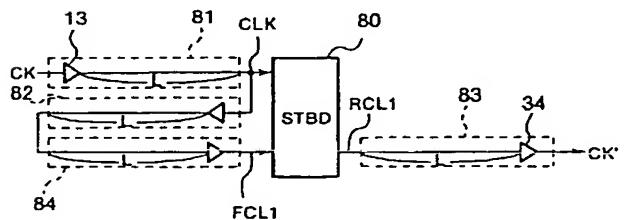
【図 1 1】



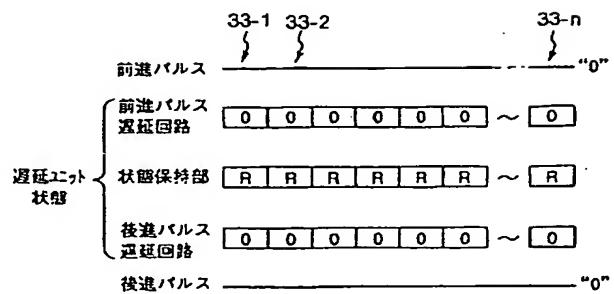
【图 12】



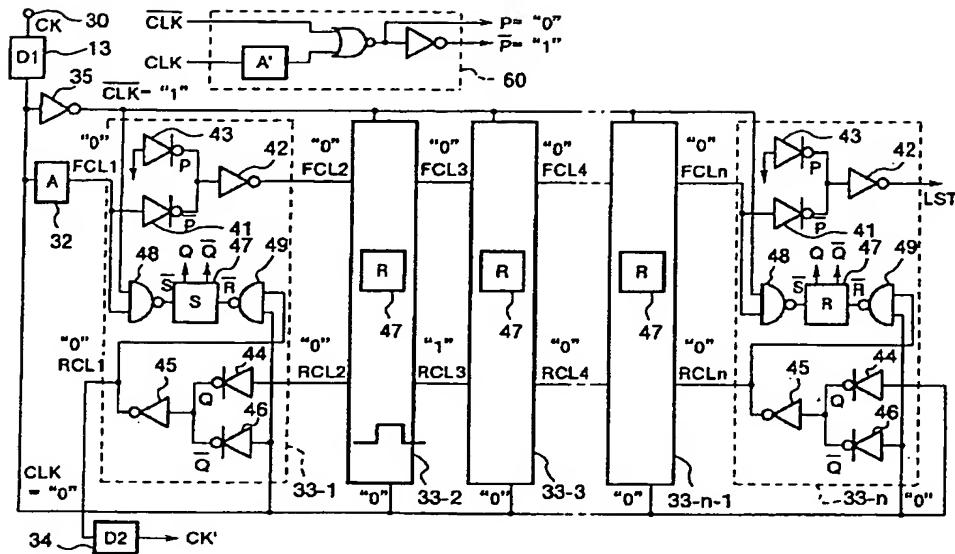
{图23}



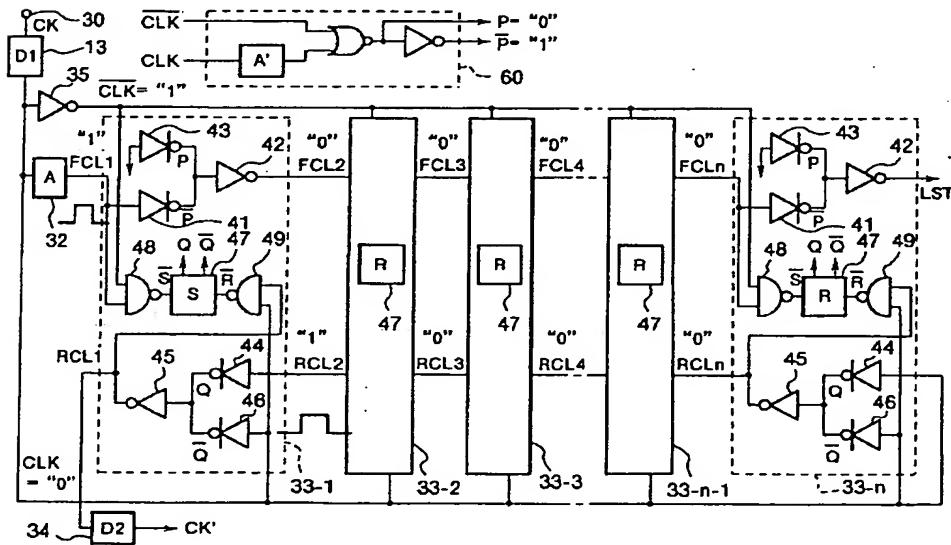
〔図24〕



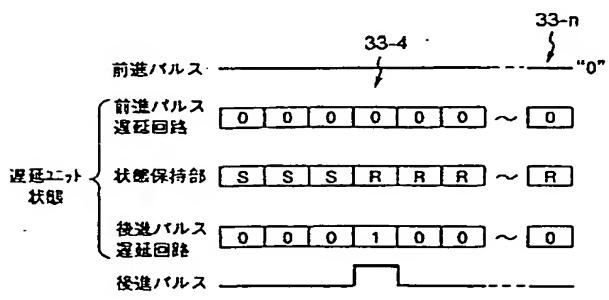
【図 1 3】



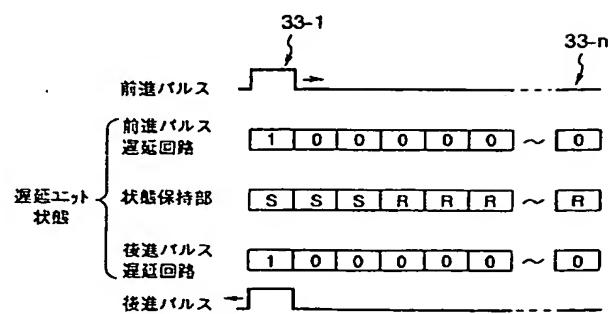
【図 1 4】



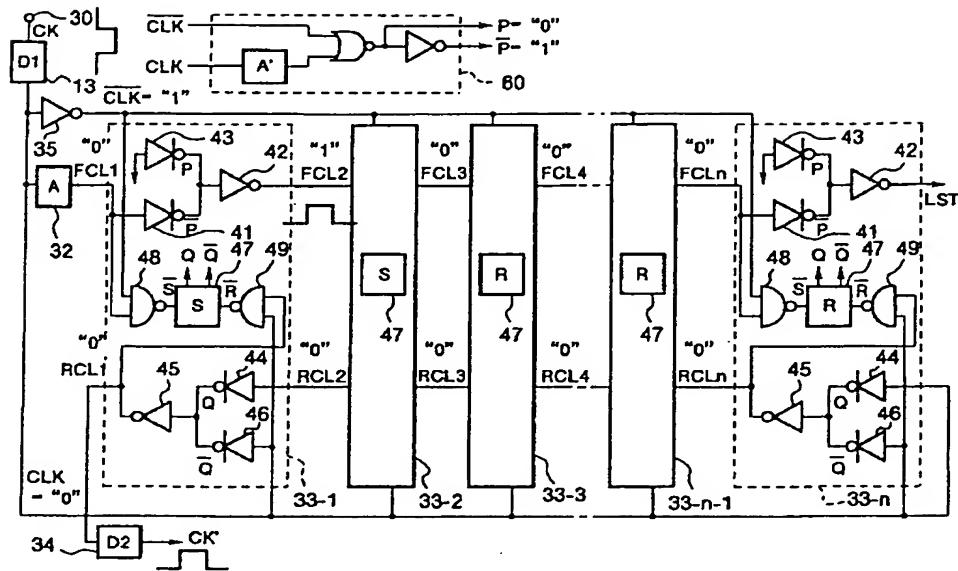
【図 2 6】



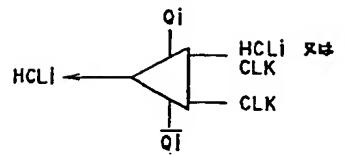
【図 2 7】



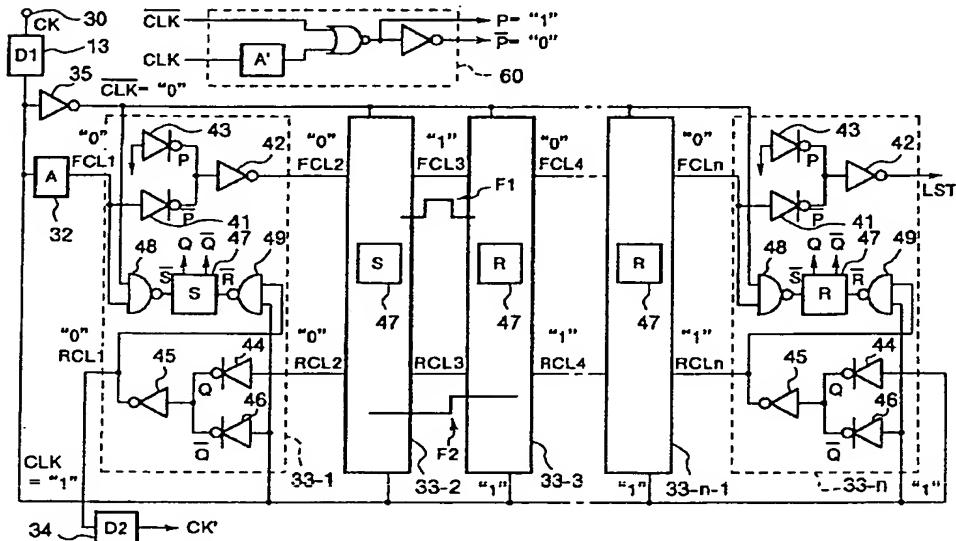
【図15】



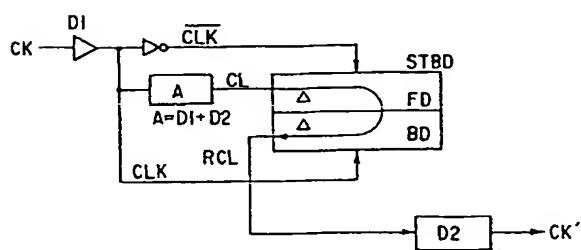
〔图40〕



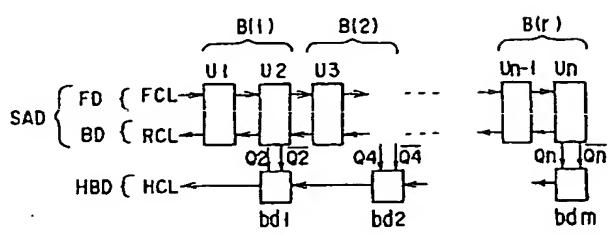
【图 16】



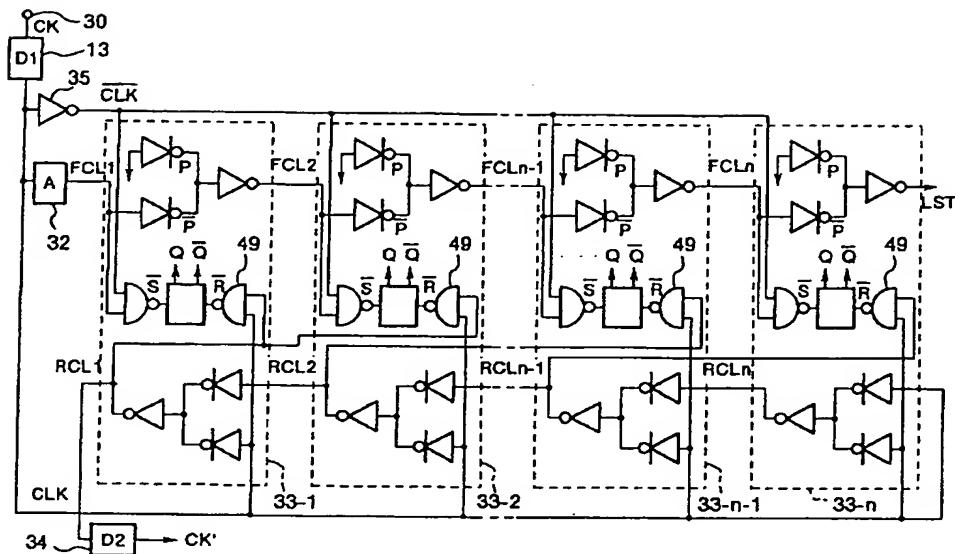
[図28]



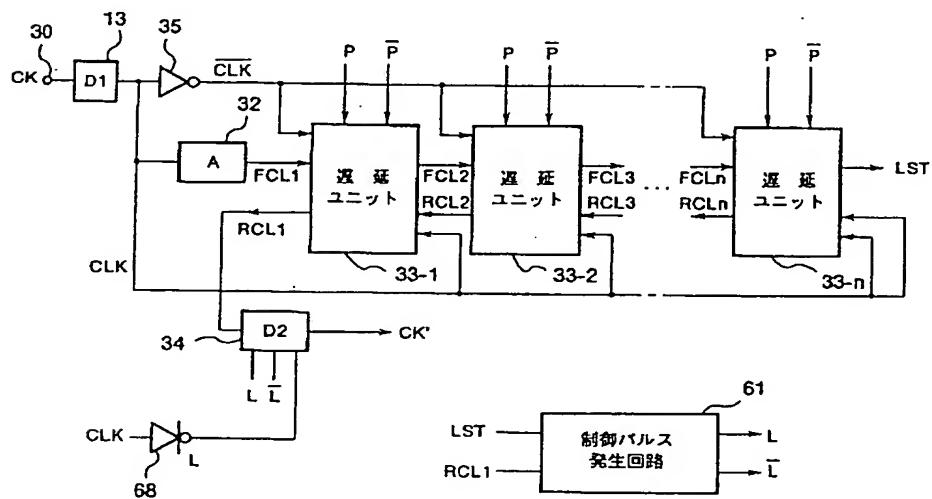
[图 37]



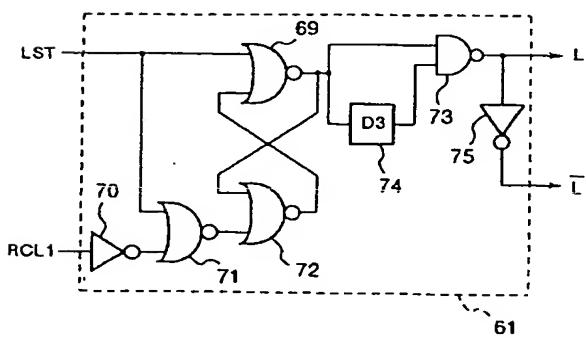
【図 17】



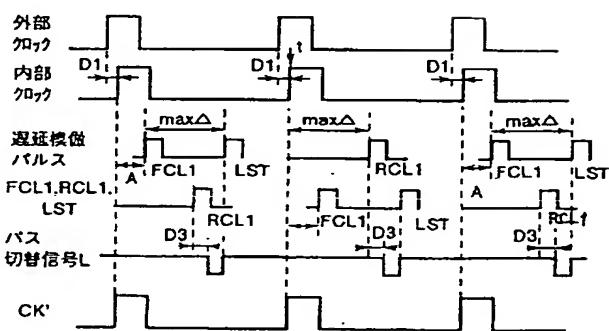
【図 18】



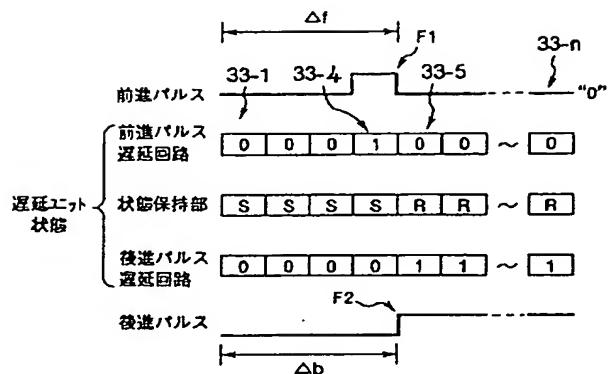
【図 20】



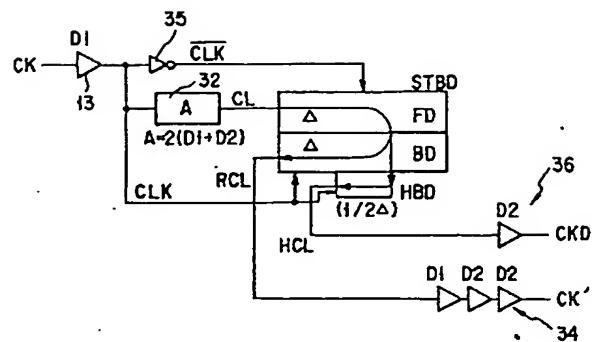
【図 22】



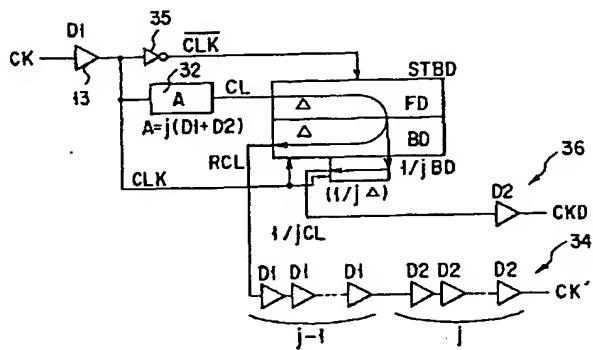
【図 25】



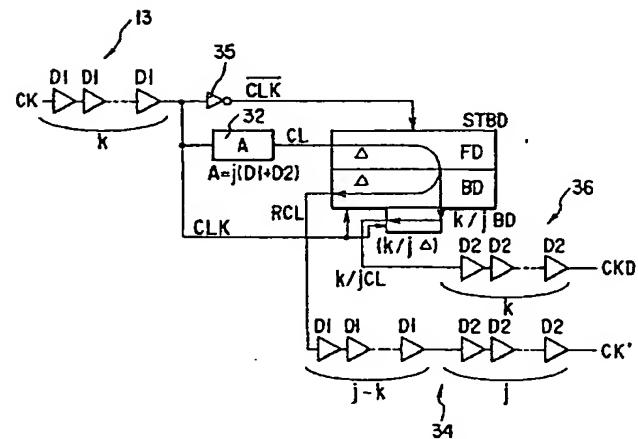
【図 29】



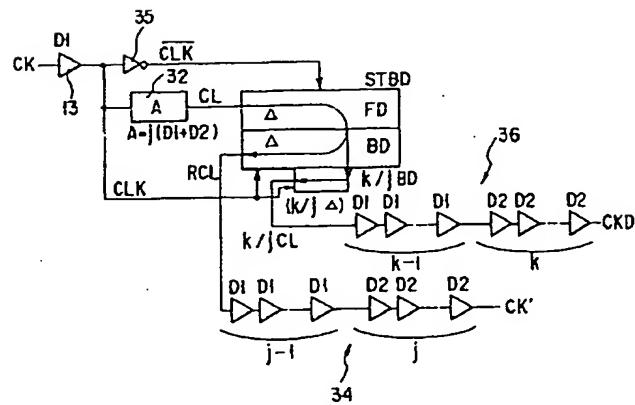
【図 30】



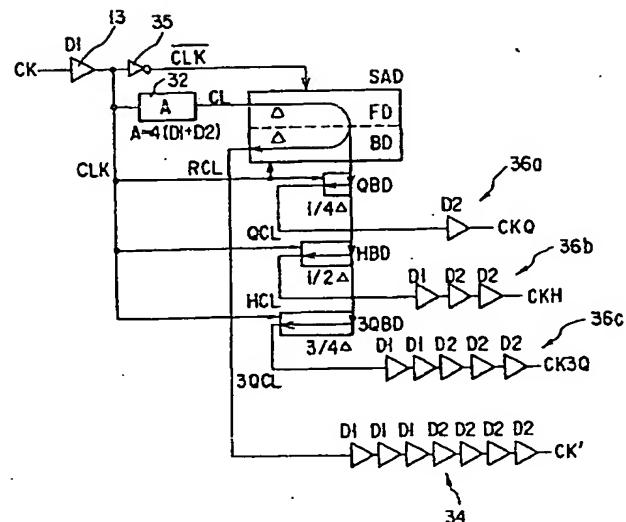
【図 31】



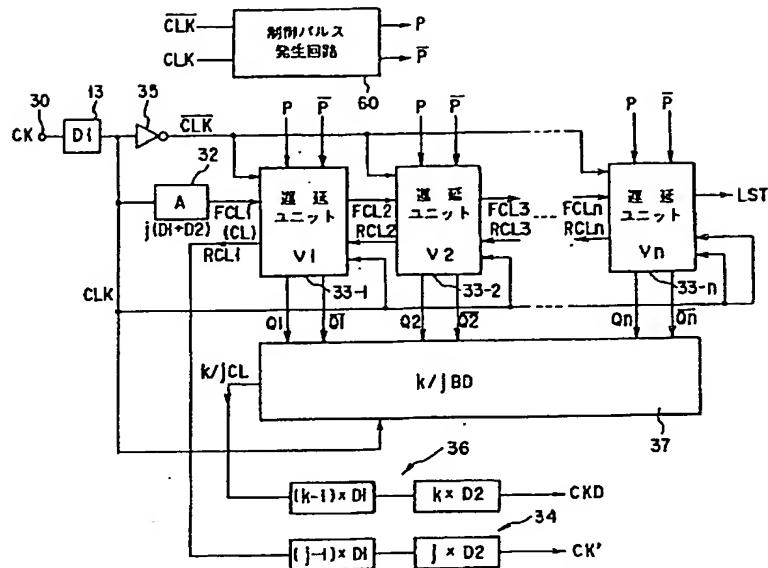
【図 32】



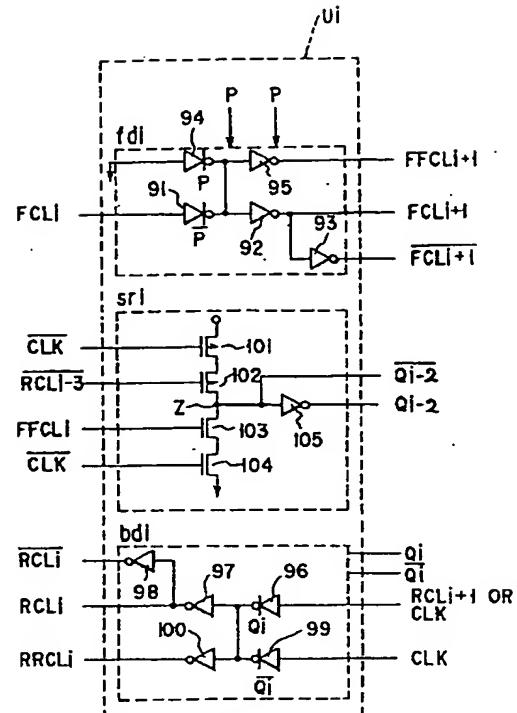
【図 33】



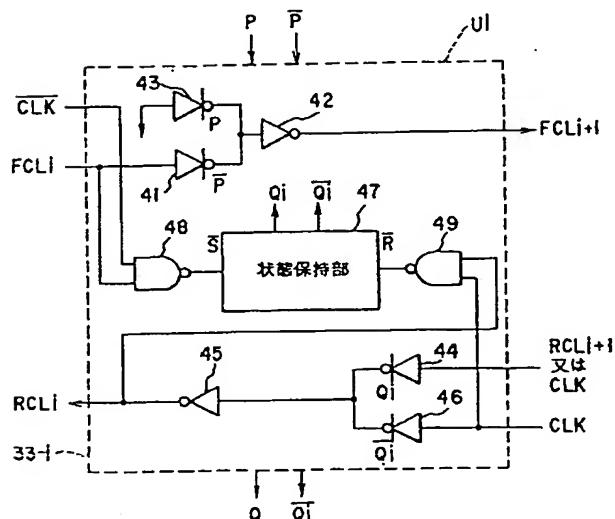
【図 3 4】



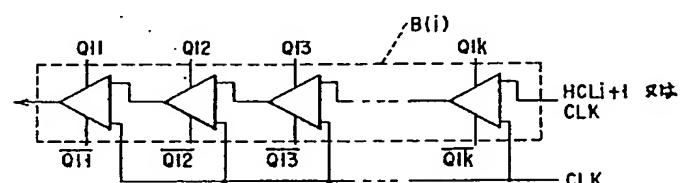
【図 3 6】



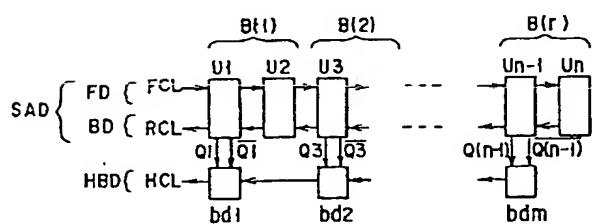
【図 3 5】



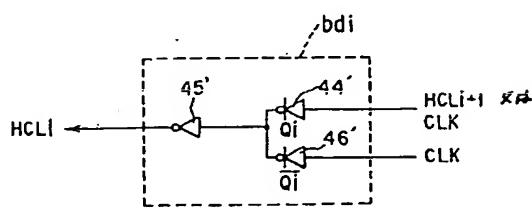
【図 4 4】



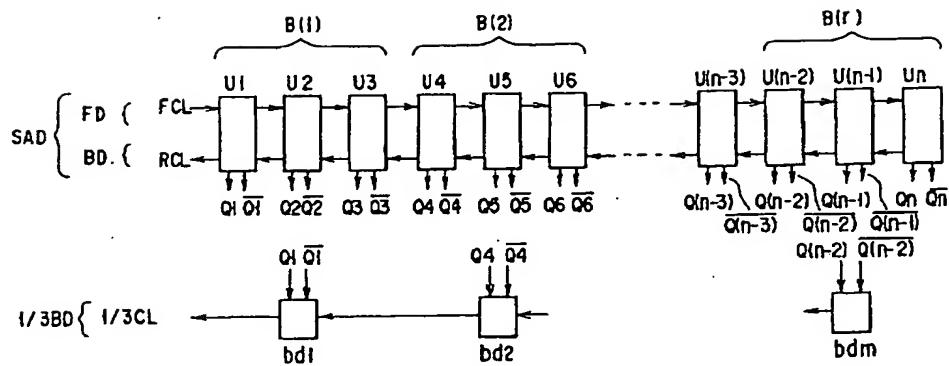
【図 3 8】



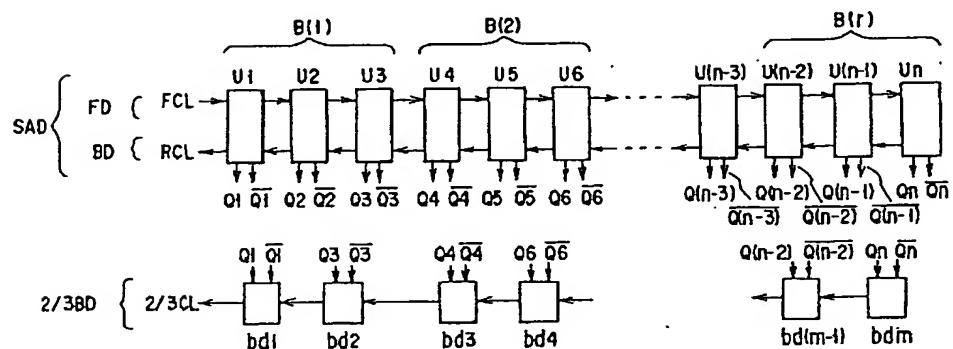
【図 3 9】



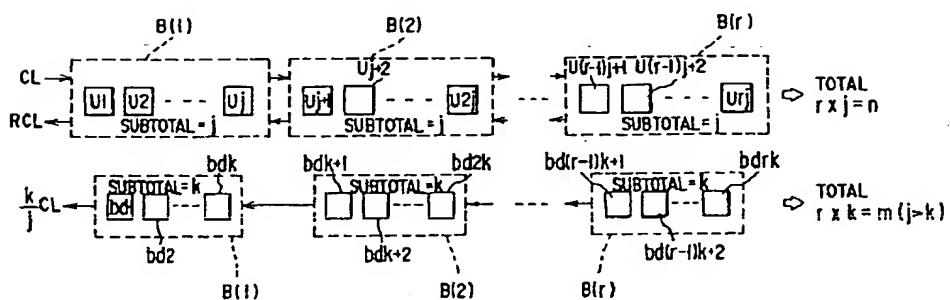
[図 4 1]



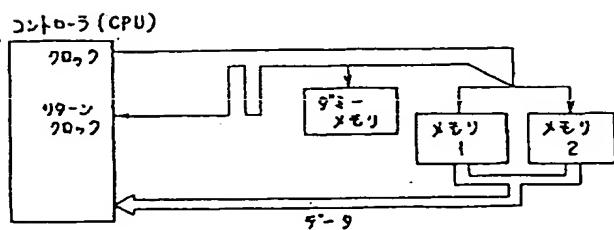
[図 4 2]



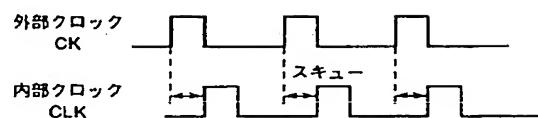
[図 4 3]



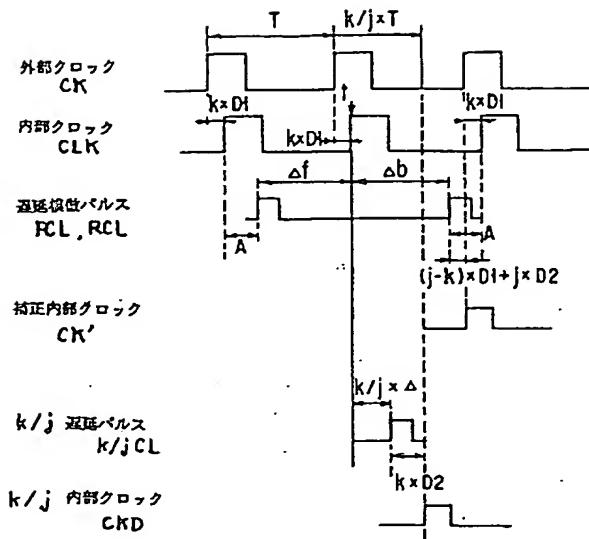
[図 4 7]



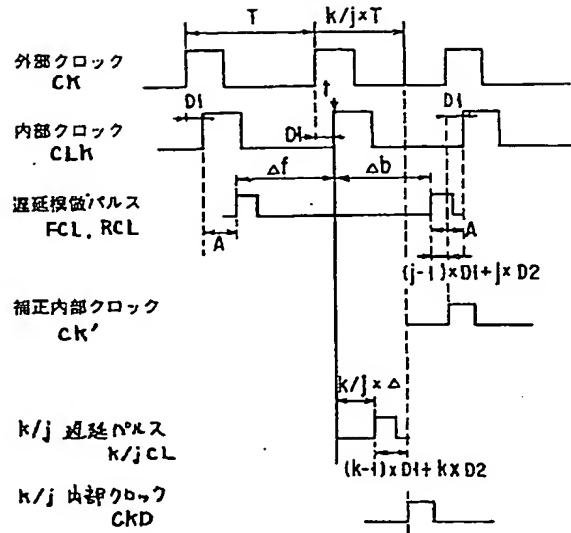
[図 4 9]



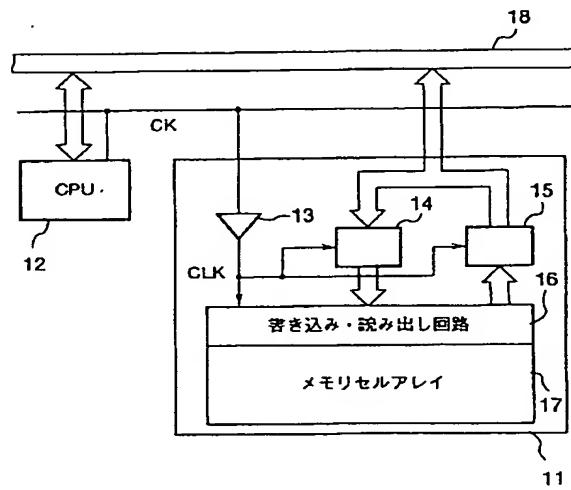
【図 45】



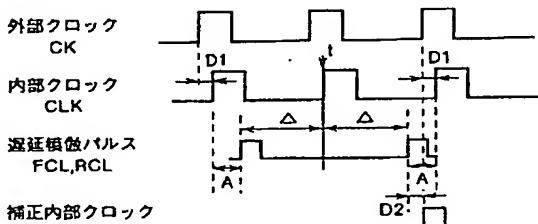
【図 46】



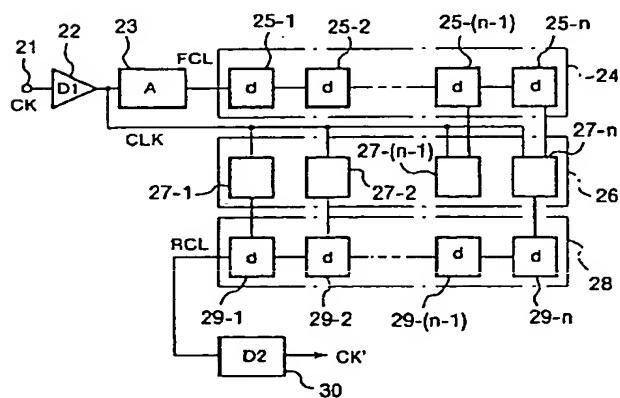
【図 48】



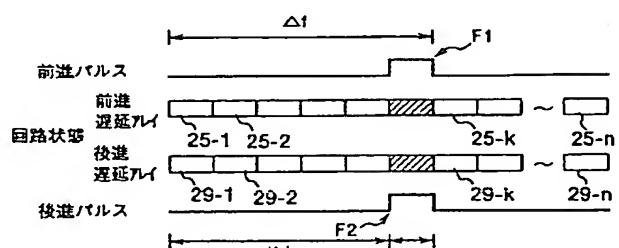
【図 50】



【図 51】



【図 52】



フロントページの続き

(51) Int.Cl.
H 03 L 7/00

識別記号

庁内整理番号

F I

G 11 C 11/34

技術表示箇所

354C
362S